



低功耗、全集成、 10位标清/高清视频编码器

ADV7390/ADV7391/ADV7392/ADV7393

产品特性

3个高质量、10位视频DAC

16× (216 MHz) DAC过采样(标清)

8× (216 MHz) DAC过采样(增清)

4× (297 MHz) DAC过采样(高清)

DAC输出电流: 37 mA(最大值)

支持多格式视频输入

4:2:2 YCrCb(标清、增清和高清)

4:4:4 RGB(标清)

支持多格式视频输出

复合(CVBS)和S视频(Y-C)

分量YPrPb(标清、增清和高清)

分量RGB(标清、增清和高清)

提供引脚架构芯片级封装(LFCSP)

32引脚、5 mm × 5 mm LFCSP

40引脚、6 mm × 6 mm LFCSP

提供晶圆级芯片规模封装(WLCSP)

30引脚、5 × 6 WLCSP封装, 单DAC输出

高级电源管理

取得专利的内容相关低功耗DAC操作

自动有线电视信号检测和DAC关断

各DAC具有独立开关控制

休眠模式下功耗最低

支持74.25 MHz 8/10/16位高清输入

符合SMPTE 274M (1080i)、296M (720p)和240M (1035i)

标准

符合EIA/CEA-861B标准

支持NTSC M、PAL B/D/G/H/I/M/N、PAL 60

NTSC和PAL方形像素操作(24.54 MHz/29.5 MHz)

符合Macrovision 7.1.L1版(标清)和1.2版(增清)标准

副本生成管理系统(CGMS)

隐藏字幕和宽屏幕信令(WSS)

集成副载波锁定至外部视频源

完整的片内视频时序发生器

片内测试图案生成

可编程特性

亮度和色度滤波器响应

垂直消隐间隔(VBI)

副载波频率(fSC)和相位

亮度延迟

高清(HD)可编程特性(720p/1080i/1035i)

4过采样(297 MHz)

内部测试图案发生器

彩色和黑色条、小窗、平场/帧

完全可编程YCrCb转RGB矩阵

伽玛校正

可编程自适应滤波器控制

可编程锐度滤波器控制

CGMS (720p/1080i)和CGMS B型(720p/1080i)

支持双倍数据速率(DDR)输入

增清(ED)可编程特性(525p/625p)

8过采样(216 MHz输出)

内部测试图案发生器

黑色条、小窗、平场/帧

独立的Y和PrPb输出延迟

伽玛校正

可编程自适应滤波器控制

完全可编程YCrCb转RGB矩阵

欠冲限幅器

Macrovision 1.2版(525p/625p)(仅ADV7390/ADV7392)

CGMS (525p/625p)和CGMS B型(525p)

支持双倍数据速率(DDR)输入

标清(SD)可编程特性

16过采样(216 MHz)

内部测试图案发生器

彩色和黑色条

有效视频开始和结束时的边沿速率受控

独立的Y和PrPb输出延迟

欠冲限幅器

伽玛校正

数字降噪(DNR)

多个亮度和色度滤波器

增益/衰减可编程的亮度SSAF滤波器

PrPb SSAF

分量和复合/S视频输出具有独立的基底控制

VCR FF/RW同步模式

Macrovision 7.1.L1版(仅ADV7390/ADV7392)

副本生成管理系统(CGMS)

宽屏幕信令(WSS)

隐藏字幕

串行MPU接口, 兼容I²C

2.7 V或3.3 V模拟电源

1.8 V数字电源

1.8 V或3.3 V I/O电源

温度范围: -40°C至+85°C

W级汽车应用温度范围: -40°C至+105°C

通过汽车应用认证

Rev. G

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2006-2013 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性	1	增清/高清时序复位	51
修订历史	3	副载波频率锁定	51
应用	5	标清VCR FF/RW同步	52
概述	5	垂直消隐间隔	52
功能框图	6	标清副载波频率控制	52
技术规格	7	标清非隔行模式	52
电源规格	7	标清方形像素模式	52
输入时钟规格	7	滤波器	54
模拟输出规格	7	增清/高清测试图案颜色控制	55
数字输入/输出规格—3.3 V	8	颜色空间转换矩阵	55
数字输入/输出规格—1.8 V	8	标清亮度和颜色比例控制	57
MPU端口时序规格	8	标清色调调整控制	57
数字时序规格—3.3 V	9	标清亮度检测	57
数字时序规格—1.8 V	10	标清亮度控制	57
视频性能规格	11	标清输入标准自动检测	58
功耗规格	11	双缓冲	58
时序图	12	可编程DAC增益控制	58
绝对最大额定值	18	伽玛校正	59
热阻	18	增清/高清锐度滤波器和自适应滤波器控制	60
ESD警告	18	增清/高清锐度滤波器和自适应滤波器应用示例	61
引脚配置和功能描述	19	标清数字降噪	62
典型性能参数	21	标清有效视频边沿控制	64
MPU端口描述	26	外部水平和垂直同步控制	65
I ² C操作	26	低功耗模式	66
寄存器图	28	电缆检测	66
寄存器编程	28	DAC自动关断	66
子地址寄存器(SR7至SR0)	28	休眠模式	66
ADV7390/ADV7391输入配置	46	像素和控制端口回读	67
标清	46	复位机制	67
增清/高清	46	标清图文电视插入	67
增清(54 MHz)	46	印制电路板布局和设计	69
ADV7392/ADV7393输入配置	47	未用引脚	69
标清	47	DAC配置	69
增清/高清	48	视频输出缓冲器和可选输出滤波器	69
增清(54 MHz)	48	印刷电路板(PCB)布局	70
输出配置	49	WLCSP封装的额外布局布线考虑	71
设计特性	50	典型应用电路	72
输出过采样	50	副本生成管理系统	74
高清隔行外部HSYNC和VSYNC考虑	51	标清CGMS	74

增清CGMS	74
高清CGMS	74
CGMS CRC功能	74
标清宽屏幕信令	77
标清隐藏字幕	78
内部测试图案生成	79
标清测试图案	79
增清/高清测试图案	79
标清时序	80
高清时序	85
视频输出电平	86
标清YPrPb输出电平—SMPTE/EBU N10	86

修订历史

2013年2月—修订版F至修订版G

更改特性部分	1
更改表14	18
更改图62	48
修改“订购指南”部分	107

2012年11月—修订版E至修订版F

更新“外形尺寸”	105
修改“订购指南”部分	107

2012年2月—修订版D至修订版E

更改表1	5
更改“数字输入/输出规格—1.8 V”部分	8
更改表15	21
更改表20	31
更改表23	34
更改表28	39
更改“16位4:4:4 RGB模式”部分	47
增加“外部同步极性”部分	51
删除“增清/高清非标准时序模式”部分、图63和表41； 重新编号	51
将“标清副载波频率锁定、副载波相位复位及时序复位” 部分更改为“标清副载波频率锁定”部分	52
删除“子地址0x84、位[2:1]”部分、“时序复位(TR)模式” 部分、“副载波相位复位(SCR)模式”部分、图64和图65	52
修改“订购指南”部分	121

2011年11月—修订版C至修订版D

更改“特性”部分	1
更新外形尺寸	107

增清/高清YPrPb输出电平	87
标清/增清/高清RGB输出电平	88
标清输出图	89
视频标准	90
配置脚本	92
标清	92
增清	99
高清	101
ADV739x评估板	104
外形尺寸	105
订购指南	107
汽车应用级产品	107

2011年9月—修订版B至修订版C

更改“MPU端口描述”部分	26
更改订购指南	107

2010年7月—修订版A至修订版B

更改“特性”部分	1
更改“应用”部分	5
更改“概述”	5
增加表2，重新排序	5
新增图2；重新排序	6
更改全驱动输出电流参数(表5)	7
更改表14	18
增加图20	19
更改表15	19
更改“ADV7390/ADV7391输入配置”部分	45
增加“WLCSP封装的额外布局布线考虑”部分	71
增加图97	73
更改“配置脚本”部分	92
更改子地址0x00(表66)	93
更改子地址0x00(表80)	95
更改子地址0x00(表83)	95
更改子地址0x00(表97)	98
更新“外形尺寸”，增加图150	106
更改订购指南	106

2009年3月—修订版0至修订版A

更改“特性”部分	1
删除详细特性部分，更改表1	4
更改图1，增加图2	5
更改表2、输入时钟规格部分和模拟输出规格部分	6
更改“数字输入/输出规格—3.3 V”部分和表5	7

ADV7390/ADV7391/ADV7392/ADV7393

增加“数字输入/输出规格—1.8 V”部分和表6.....	7
更改“MPU端口时序规格”部分的默认条件.....	7
更改“数字时序规格—3.3 V”部分和表8.....	8
增加“数字时序规格—1.8 V”部分和表9.....	9
增加“视频性能规格”部分的默认条件.....	10
增加“功耗规格”部分的默认条件.....	10
更改表11.....	10
更改图16.....	16
更改表12.....	17
更改表14的引脚19和引脚1描述.....	18
更改“MPU端口描述”部分.....	25
更改“I ² C操作”部分.....	25
增加表15.....	25
更改表17.....	28
更改表19的位0x30描述.....	30
更改表27.....	37
更改表29的位0x8B描述.....	39
更改表30.....	40
更改表31.....	41
增加表32.....	42
将“特性”部分更名为“设计特性”部分.....	48

更改“增清/高清非标准时序模式”部分.....	48
增加“高清隔行外部HSYNC和VSYNC考虑”部分.....	49
更改“标清副载波频率锁定、 副载波复位和时序复位”部分.....	49
更改“子地址0x8C至子地址0x8F”部分.....	51
更改“FSC编程”部分.....	51
更改“子地址0x82位4”部分.....	51
增加“标清手动CSC矩阵调整特性”部分.....	54
增加表47.....	55
更改“子地址0x9C至子地址0x9F”部分.....	56
更改“子地址0xBA”部分.....	56
增加“休眠模式”部分.....	65
更改“像素和控制端口回读”部分.....	66
更改“复位机制”部分.....	66
增加“标清图文电视插入”部分.....	66
增加图87.....	67
增加图88.....	68
更改“DAC寄存器”部分.....	68
增加“未用引脚”部分.....	68
更改“电源时序控制”部分.....	70
更改“内部测试图案生成”部分.....	77
更改标清时序下的“模式0 (CCIR-656)—从机操作 (子地址0x8A = XXXXX000)”部分.....	78

2006年10月—修订版0：初始版

应用

手机

数码相机

便携式媒体和DVD播放器

便携式游戏机

便携式数码摄像机

机顶盒(STB)

车载信息娱乐系统(仅限ADV7392和ADV7393)

概述

ADV7390/ADV7391/ADV7392/ADV7393均属于单芯片、高速、数模视频编码器系列。三个2.7 V/3.3 V 10位视频DAC(WLCSP封装为一个DAC)支持标清(SD)或高清(HD)视频格式的复合(CVBS)、S视频(Y-C)或分量(YPrPb/RGB)模拟输出。单DAC WLCSP封装仅在标清分辨率下支持CVBS(NTSC和PAL)输出(见表2)。

这些编码器针对低功耗操作进行了优化，尺寸极小，并且只需很少的外部器件，非常适合要求电视输出功能的便携式和功耗敏感型应用。有线电视信号检测和DAC自动关断特性可确保功耗保持最低。

ADV7390/ADV7391配有一个8位视频输入端口，通过SDR接口支持标清视频格式，通过DDR接口支持高清视频格式。ADV7392/ADV7393配有一个16位视频输入端口，可采用多种方式进行配置。同时支持标清RGB输入。

该系列所有器件均支持嵌入式EAV/SAV时序码、外部视频同步信号以及I²C[®]、通信协议。表1和表2列出了ADV739x系列直接支持的视频标准。

表1. LFCSP封装直接支持的标准

有效分辨率	I/P ¹	帧速率(Hz)	时钟输入(MHz)	标准
720 × 240	P	59.94	27	ITU-R BT.601/656
720 × 288	P	50	27	
720 × 480	I	29.97	27	
720 × 576	I	25	27	ITU-R BT.601/656
640 × 480	I	29.97	24.54	NTSC Square Pixel
768 × 576	I	25	29.5	PAL Square Pixel
720 × 483	P	59.94	27	SMPTE 293M
720 × 483	P	59.94	27	BTA T-1004
720 × 483	P	59.94	27	ITU-R BT.1358
720 × 576	P	50	27	ITU-R BT.1358
720 × 483	P	59.94	27	ITU-R BT.1362
720 × 576	P	50	27	ITU-R BT.1362
1920 × 1035	I	30	74.25	SMPTE 240M
1920 × 1035	I	29.97	74.1758	SMPTE 240M
1280 × 720	P	60, 50, 30, 25, 24	74.25	SMPTE 296M
1280 × 720	P	23.97, 59.94, 29.97	74.1758	SMPTE 296M
1920 × 1080	I	30, 25	74.25	SMPTE 274M
1920 × 1080	I	29.97	74.1758	SMPTE 274M
1920 × 1080	P	30, 25, 24	74.25	SMPTE 274M
1920 × 1080	P	23.98, 29.97	74.1758	SMPTE 274M
1920 × 1080	P	24	74.25	ITU-R BT.709-5

¹I = 隔行，P = 逐行。

表2. WLCSP封装直接支持的标准

有效分辨率	I/P ¹	帧速率(Hz)	时钟输入(MHz)	标准
720 × 480	I	29.97	27	ITU-R BT.601/656
720 × 576	I	25	27	ITU-R BT.601/656
640 × 480	I	29.97	24.54	NTSC Square Pixel
768 × 576	I	25	29.5	PAL Square Pixel

¹I = 隔行，P = 逐行。

ADV7390/ADV7391/ADV7392/ADV7393

功能框图

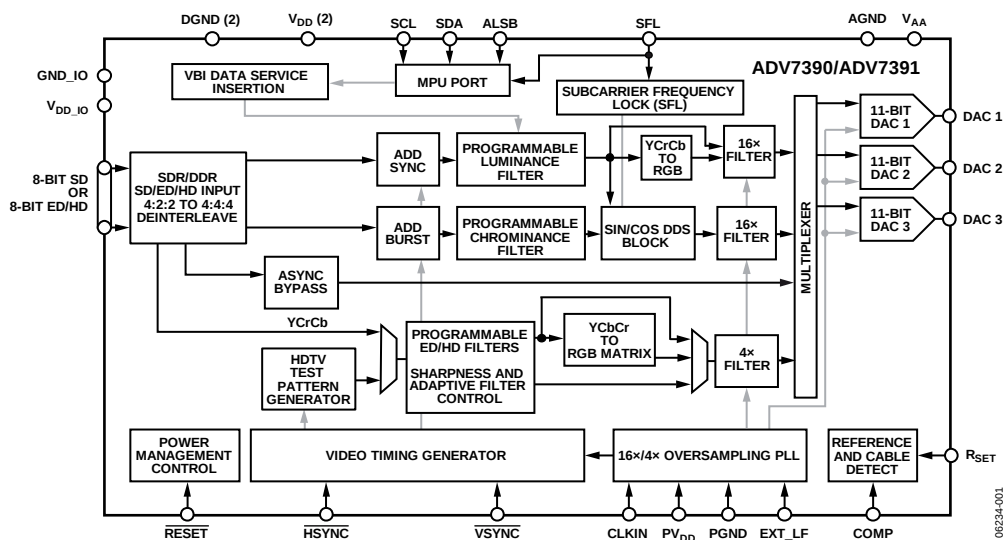


图1. ADV7390/ADV7391(32引脚|脚LFCSP)

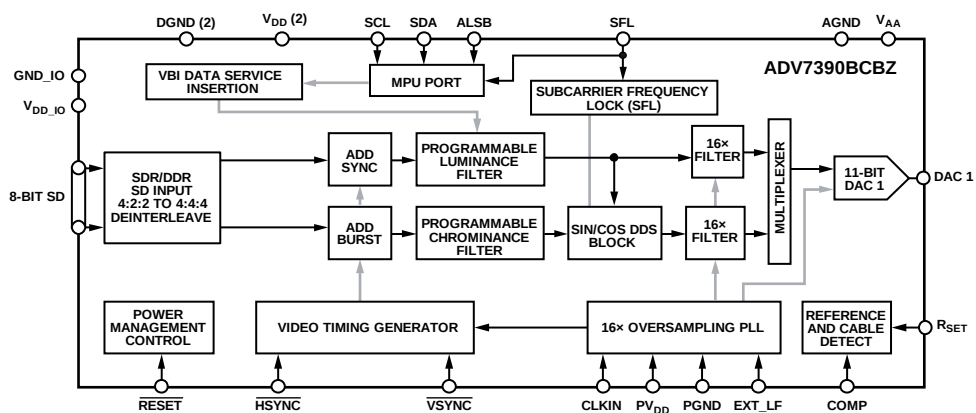


图2. ADV7390BCBZ-A(30引脚|脚WLCSP)

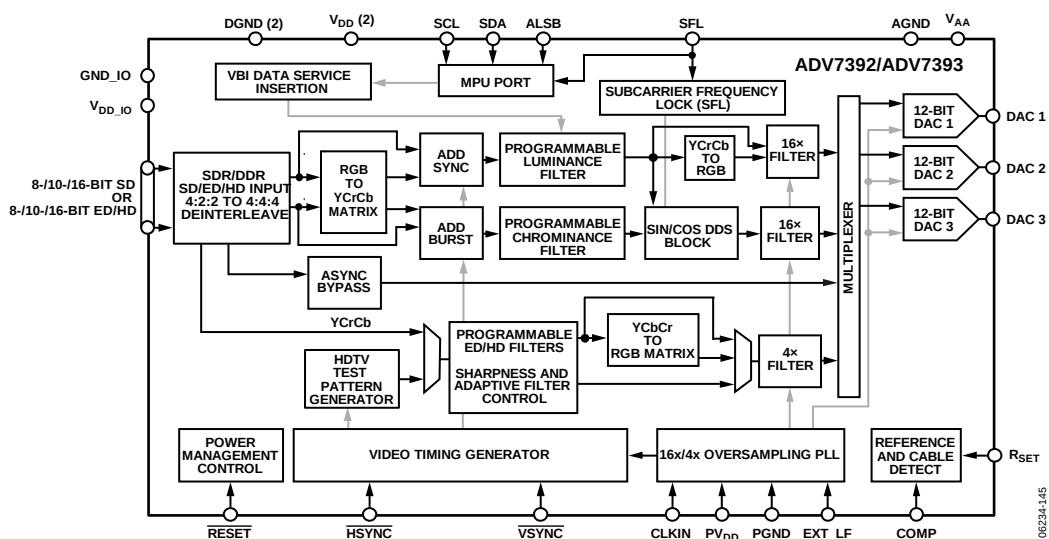


图3. ADV7392/ADV7393(40引脚|脚LFCSP)

技术规格

电源规格

除非另有说明，所有规格均为 T_{MIN} 至 T_{MAX} （-40°C至+85°C）。

表3.

参数	最小值	典型值	最大值	单位
电源电压				
V_{DD}	1.71	1.8	1.89	V
V_{DD_IO}	1.71	3.3	3.63	V
PV_{DD}	1.71	1.8	1.89	V
V_{AA}	2.6	3.3	3.465	V
电源抑制比		0.002		%/%

输入时钟规格

$V_{DD} = 1.71\text{ V}$ 至 1.89 V ， $PV_{DD} = 1.71\text{ V}$ 至 1.89 V ， $V_{AA} = 2.6\text{ V}$ 至 3.465 V ， $V_{DD_IO} = 1.71\text{ V}$ 至 3.63 V 。

除非另有说明，所有规格均为 T_{MIN} 至 T_{MAX} （-40°C至+85°C）。

表4.

参数	条件 ¹	最小值	典型值	最大值	单位
f_{CLKIN}	SD/ED		27		MHz
	ED (at 54 MHz)		54		MHz
	HD		74.25		MHz
CLKIN高电平时间, t_g		40			1个时钟周期的%
CLKIN低电平时间, t_{l0}		40			1个时钟周期的%
CLKIN峰峰值抖动容差			2		±ns

¹ SD = 标清, ED = 增清(525p/625p), HD = 高清。

模拟输出规格

$V_{DD} = 1.71\text{ V}$ 至 1.89 V ， $PV_{DD} = 1.71\text{ V}$ 至 1.89 V ， $V_{AA} = 2.6\text{ V}$ 至 3.465 V ， $V_{DD_IO} = 1.71\text{ V}$ 至 3.63 V 。

除非另有说明，所有规格均为 T_{MIN} 至 T_{MAX} （-40°C至+85°C）。

表5.

参数	条件	最小值	典型值	最大值	单位
全驱动输出电流	$R_{SET} = 510\ \Omega$, $R_L = 37.5\ \Omega$	33	34.6	37	mA
	所有DAC使能				
	$R_{SET} = 510\ \Omega$, $R_L = 37.5\ \Omega$	31.5	33.5	37	mA
	仅DAC 1使能 ¹				
低驱动输出电流	$R_{SET} = 4.12\text{ k}\Omega$, $R_L = 300\ \Omega$		4.3		mA
DAC间匹配	DAC 1, DAC 2, DAC 3		2.0		%
输出顺从电压, V_{OC}		0		1.4	V
输出电容, C_{OUT}			10		pF
模拟输出延迟 ²			6		ns
DAC模拟输出偏斜	DAC 1, DAC 2, DAC 3		1		ns

¹ 使此值变回理想值的推荐方法是寄存器0x0B调整为推荐值0x12。

² 输出延迟是从输入时钟上升沿的50%点测量到DAC输出满量程转换的50%点。

ADV7390/ADV7391/ADV7392/ADV7393

数字输入/输出规格—3.3 V

$V_{DD} = 1.71\text{ V}$ 至 1.89 V , $PV_{DD} = 1.71\text{ V}$ 至 1.89 V , $V_{AA} = 2.6\text{ V}$ 至 3.465 V , $V_{DD_IO} = 2.97\text{ V}$ 至 3.63 V 。

除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} (-40°C 至 $+85^{\circ}\text{C}$)。

表6.

参数	条件	最小值	典型值	最大值	单位
输入高电平, V_{IH}	$V_{IN} = V_{DD_IO}$	2.0			V
输入低电平, V_{IL}				0.8	V
输入漏电流, I_{IN}				± 10	μA
输入电容, C_{IN}	$I_{SOURCE} = 400\text{ }\mu\text{A}$ $I_{SINK} = 3.2\text{ mA}$ $V_{IN} = 0.4\text{ V}, 2.4\text{ V}$		4		pF
输出高电平, V_{OH}		2.4			V
输出低电平, V_{OL}				0.4	V
三态漏电流				± 1	μA
三态输出电容			4		pF

数字输入/输出规格—1.8 V

当 V_{DD_IO} 设为 1.8 V 时, 所有数字视频输入和控制输入, 如I²C、HS和VS等, 都应使用 1.8 V 电平。 $V_{DD} = 1.71\text{ V}$ 至 1.89 V , $PV_{DD} = 1.71\text{ V}$ 至 1.89 V , $V_{AA} = 2.6\text{ V}$ 至 3.465 V , $V_{DD_IO} = 1.71\text{ V}$ 至 1.89 V 。

除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} (-40°C 至 $+85^{\circ}\text{C}$)。

表7.

参数	条件	最小值	典型值	最大值	单位
输入高电平, V_{IH}	$I_{SOURCE} = 400\text{ }\mu\text{A}$ $I_{SINK} = 3.2\text{ mA}$	$0.7 V_{DD_IO}$			V
输入低电平, V_{IL}				$0.3 V_{DD_IO}$	V
输入电容, C_{IN}			4		pF
输出高电平, V_{OH}		$V_{DD_IO} - 0.4$			V
输出低电平, V_{OL}				0.4	V
三态输出电容			4		pF

MPU端口时序规格

$V_{DD} = 1.71\text{ V}$ 至 1.89 V , $PV_{DD} = 1.71\text{ V}$ 至 1.89 V , $V_{AA} = 2.6\text{ V}$ 至 3.465 V , $V_{DD_IO} = 1.71\text{ V}$ 至 3.63 V 。

除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} (-40°C 至 $+85^{\circ}\text{C}$)。

表8.

参数	条件	最小值	典型值	最大值	单位
MPU端口, I ² C模式 ¹	见图17				
SCL频率		0		400	kHz
SCL高电平脉冲宽度, t_1		0.6			μs
SC低电平脉冲宽度, t_2		1.3			μs
保持时间(起始条件), t_3		0.6			μs
建立时间(起始条件), t_4		0.6			μs
数据建立时间, t_5		100			ns
SDA、SCL上升时间, t_6				300	ns
SDA、SCL下降时间, t_7				300	ns
建立时间(停止条件), t_8		0.6			μs

¹ 通过表征保证。

数字时序规格—3.3 V

$V_{DD} = 1.71\text{ V}$ 至 1.89 V , $PV_{DD} = 1.71\text{ V}$ 至 1.89 V , $V_{AA} = 2.6\text{ V}$ 至 3.465 V , $V_{DD_IO} = 2.97\text{ V}$ 至 3.63 V 。

除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} (-40°C 至 $+85^{\circ}\text{C}$)。

表9.

参数	条件 ¹	最小值	典型值	最大值	单位
视频数据和视频控制端口 ^{2,3}					
数据输入建立时间, t_{11} ⁴	SD	2.1			ns
	ED/HD-SDR	2.3			ns
	ED/HD-DDR	2.3			ns
	ED(54 MHz时)	1.7			ns
数据输入保持时间, t_{12} ⁴	SD	1.0			ns
	ED/HD-SDR	1.1			ns
	ED/HD-DDR	1.1			ns
	ED(54 MHz时)	1.0			ns
控制输入建立时间, t_{11} ⁴	SD	2.1			ns
	ED/HD-SDR或ED/HD-DDR	2.3			ns
	ED(54 MHz时)	1.7			ns
控制输入保持时间, t_{12} ⁴	SD	1.0			ns
	ED/HD-SDR或ED/HD-DDR	1.1			ns
	ED(54 MHz时)	1.0			ns
控制输出访问时间, t_{13} ⁴	SD			12	ns
	ED/HD-SDR、ED/HD-DDR或ED(54 MHz时)			10	ns
控制输出保持时间, t_{14} ⁴	SD	4.0			ns
	ED/HD-SDR、ED/HD-DDR或ED(54 MHz时)	3.5			ns
流水线延迟 ⁵					
SD ¹					
CVBS/Y-C输出(2×)	SD过采样禁用		68		时钟周期
CVBS/Y-C输出(8×)	SD过采样使能		79		时钟周期
CVBS/Y-C输出(16×)	SD过采样使能		67		时钟周期
分量输出(2×)	SD过采样禁用		78		时钟周期
分量输出(8×)	SD过采样使能		69		时钟周期
分量输出(16×)	SD过采样使能		84		时钟周期
ED ¹					
分量输出(1×)	ED过采样禁用		41		时钟周期
分量输出(4×)	ED过采样使能		49		时钟周期
分量输出(8×)	ED过采样使能		46		时钟周期
HD ¹					
分量输出(1×)	HD过采样禁用		40		时钟周期
分量输出(2×)	HD过采样使能		42		时钟周期
分量输出(4×)	HD过采样使能		44		时钟周期
RESET ¹ 控制					
RESET ¹ 低电平时间		100			ns

¹ SD = 标清, ED = 增清(525p/625p), HD = 高清, SDR = 单倍数据速率, DDR = 双倍数据速率。

² 视频数据: ADV7392/ADV7393为P[15:0], ADV7390/ADV7391为P[7:0]。

³ 视频控制: HSYNC 和 VSYNC。

⁴ 通过表征保证。

⁵ 通过设计保证。

ADV7390/ADV7391/ADV7392/ADV7393

数字时序规格—1.8 V

$V_{DD} = 1.71\text{ V}$ 至 1.89 V , $PV_{DD} = 1.71\text{ V}$ 至 1.89 V , $V_{AA} = 2.6\text{ V}$ 至 3.465 V , $V_{DD_{IO}} = 1.71\text{ V}$ 至 1.89 V 。

除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} (-40°C 至 $+85^{\circ}\text{C}$)。

表10.

参数	条件 ¹	最小值	典型值	最大值	单位
视频数据和视频控制端口 ^{2,3}					
数据输入建立时间, t_{11} ⁴	SD	1.4			ns
	ED/HD-SDR	1.9			ns
	ED/HD-DDR	1.9			ns
	ED(54 MHz时)	1.6			ns
数据输入保持时间, t_{12} ⁴	SD	1.4			ns
	ED/HD-SDR	1.5			ns
	ED/HD-DDR	1.5			ns
	ED(54 MHz时)	1.3			ns
控制输入建立时间, t_{11} ⁴	SD	1.4			ns
	ED/HD-SDR或ED/HD-DDR	1.2			ns
	ED(54 MHz时)	1.0			ns
控制输入保持时间, t_{12} ⁴	SD	1.4			ns
	ED/HD-SDR或ED/HD-DDR	1.0			ns
	ED(54 MHz时)	1.0			ns
控制输出访问时间, t_{13} ⁴	SD			13	ns
	ED/HD-SDR、ED/HD-DDR或ED(54 MHz时)			12	ns
控制输出保持时间, t_{14} ⁴	SD	4.0			ns
	ED/HD-SDR、ED/HD-DDR或ED(54 MHz时)	5.0			ns
流水线延迟 ⁵					
SD1					
CVBS/Y-C输出(2×)	SD过采样禁用	68			时钟周期
CVBS/Y-C输出(8×)	SD过采样使能	79			时钟周期
CVBS/Y-C输出(16×)	SD过采样使能	67			时钟周期
分量输出(2×)	SD过采样禁用	78			时钟周期
分量输出(8×)	SD过采样使能	69			时钟周期
分量输出(16×)	SD过采样使能	84			时钟周期
ED1					
分量输出(1×)	ED过采样禁用	41			时钟周期
分量输出(4×)	ED过采样使能	49			时钟周期
分量输出(8×)	ED过采样使能	46			时钟周期
HD1					
分量输出(1×)	HD过采样禁用	40			时钟周期
分量输出(2×)	HD过采样使能	42			时钟周期
分量输出(4×)	HD过采样使能	44			时钟周期
RESET 控制					
RESET 低电平时间		100			ns

¹ SD = 标清, ED = 增清(525p/625p), HD = 高清, SDR = 单倍数据速率, DDR = 双倍数据速率。

² 视频数据: ADV7392/ADV7393为P[15:0], ADV7390/ADV7391为P[7:0]。

³ 视频控制: HSYNC 和VSYNC。

⁴ 通过表征保证。

⁵ 通过设计保证。

视频性能规格

$V_{DD} = 1.8\text{ V}$, $PV_{DD} = 1.8\text{ V}$, $V_{AA} = 3.3\text{ V}$, $V_{DD_IO} = 3.3\text{ V}$, $T_A = +25^\circ\text{C}$ 。

表11.

参数	条件	最小值	典型值	最大值	单位
静态性能					
分辨率			10		位
积分非线性(INL) ¹	$R_{SET} = 510\ \Omega$, $R_L = 37.5\ \Omega$		0.5		LSBs
微分非线性(DNL) ^{1,2}	$R_{SET} = 510\ \Omega$, $R_L = 37.5\ \Omega$		0.5		LSBs
标清(SD)模式					
亮度非线性			0.5		±%
差分增益	NTSC		0.5		%
差分相位	NTSC		0.6		度
信噪比(SNR) ³	亮度斜坡		58		dB
	平场全带宽		75		dB
增清(ED)模式					
亮度带宽			12.5		MHz
色度带宽			5.8		MHz
高清(HD)模式					
亮度带宽			30.0		MHz
色度带宽			13.75		MHz

¹ DAC 1、DAC 2和DAC 3的测量结果。

² 微分非线性(DNL)衡量实际DAC输出电压步进与理想值的偏差。对于+ve DNL，实际步进值位于理想步进值上方。对于-ve DNL，实际步进值位于理想步进值下方。

³ ADV7392/ADV7393工作在10位输入模式下的测量结果。

功耗规格

$V_{DD} = 1.8\text{ V}$, $PV_{DD} = 1.8\text{ V}$, $V_{AA} = 3.3\text{ V}$, $V_{DD_IO} = 3.3\text{ V}$, $T_A = +25^\circ\text{C}$ 。

表12.

参数	条件	最小值	典型值	最大值	单位
正常工作模式 ^{1,2}					
I_{DD} ³	SD(16×过采样是使能), CVBS(仅开启一个DAC) SD(16×过采样是使能), YPrPb(开启三个DAC) ED(8×过采样使能) ⁴ HD(4×过采样使能) ⁴		59		mA
			81	101	mA
I_{DD_IO}			1	10	mA
I_{AA} ⁵	一个DAC使能		50		mA
	所有DAC使能		122	151	mA
I_{PLL}			4	10	mA
休眠模式					
I_{DD}			5		μA
I_{AA}			0.3		μA
I_{DD_IO}			0.2		μA
I_{PLL}			0.1		μA

¹ $R_{SET} = 510\ \Omega$ (所有DAC工作在全驱动模式下)。

² 对像素数据引脚应用75%彩条测试图案。

³ I_{DD} 是驱动数字内核所需的连续电流。

⁴ 适用于单倍数据速率(SDR)和双倍数据速率(DDR)两种输入模式。

⁵ I_{AA} 是为所有DAC供电所需的总电流。

ADV7390/ADV7391/ADV7392/ADV7393

时序图

图4至图11中使用的缩写含义如下：

- t_9 = 时钟高电平时间
- t_{10} = 时钟低电平时间
- t_{11} = 数据建立时间

- t_{12} = 数据保持时间
- t_{13} = 控制输出访问时间
- t_{14} = 控制输出保持时间

此外，ADV7390/ADV7391像素端口输入配置见表35，
ADV7392/ADV7393像素端口输入配置见表36。

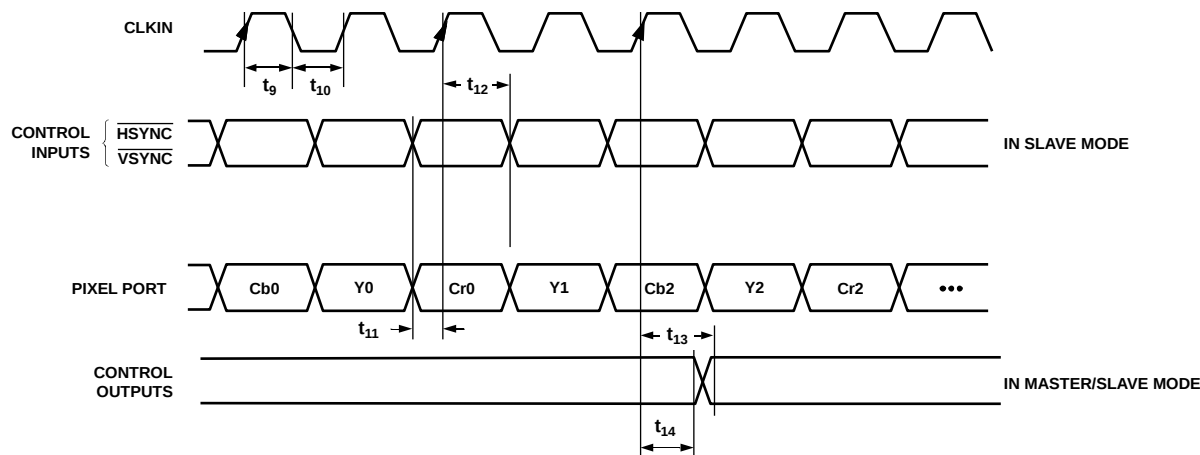


图4. 标清输入，8/10位4:2:2 YCrCb，输入模式000

06234-002

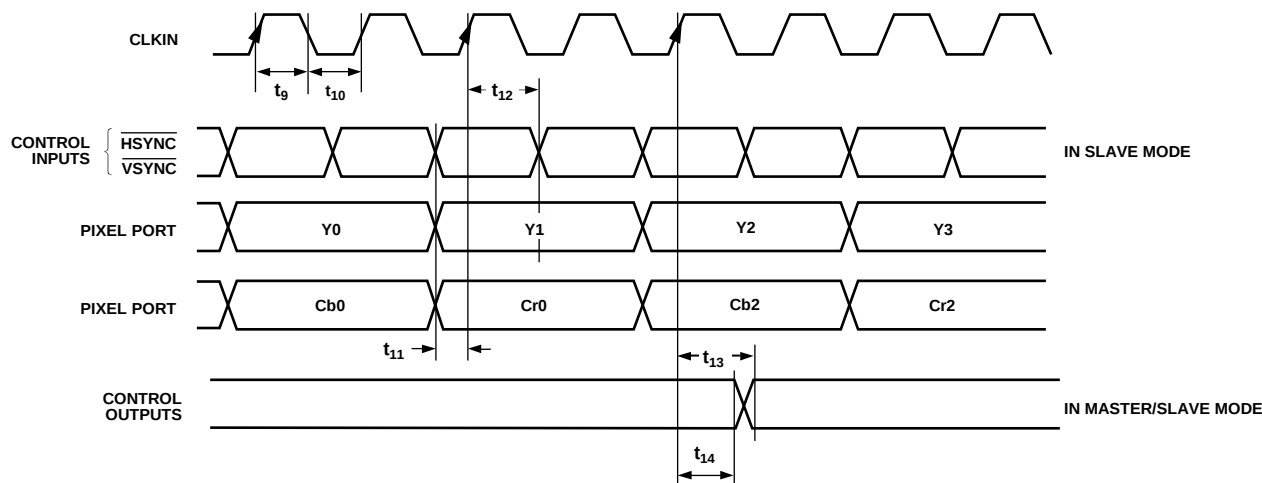


图5. 标清输入，16位4:2:2 YCrCb，输入模式000

06234-003

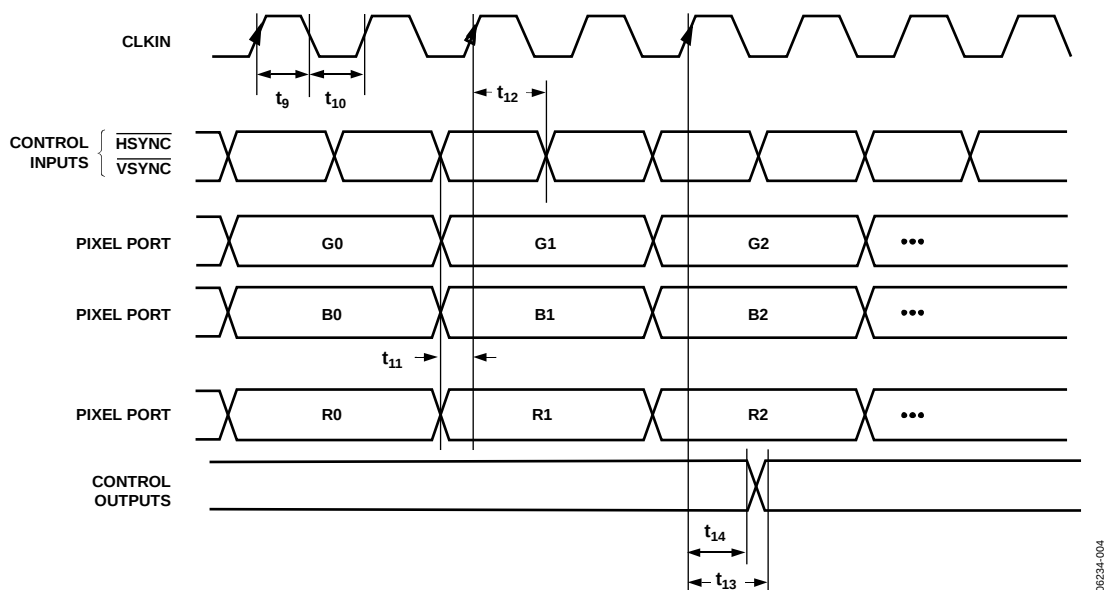


图6. 标清输入，16位4:4:4 RGB，输入模式000

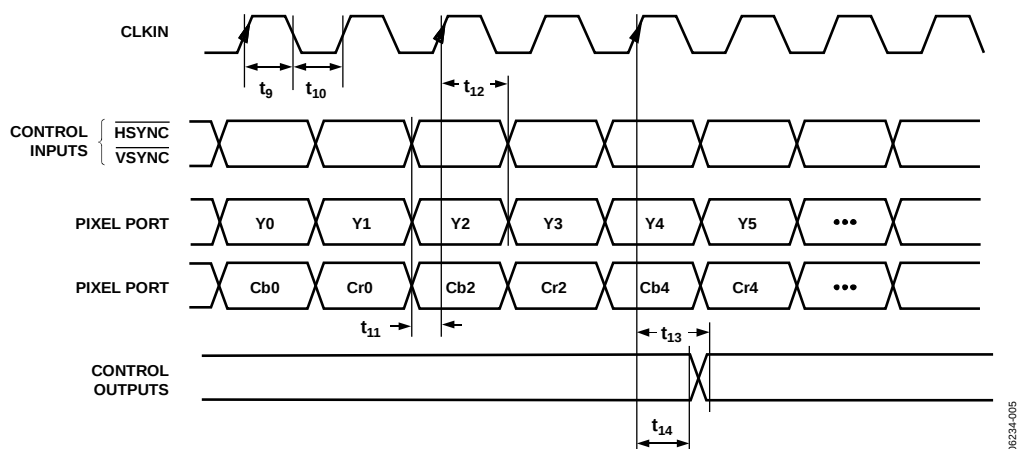
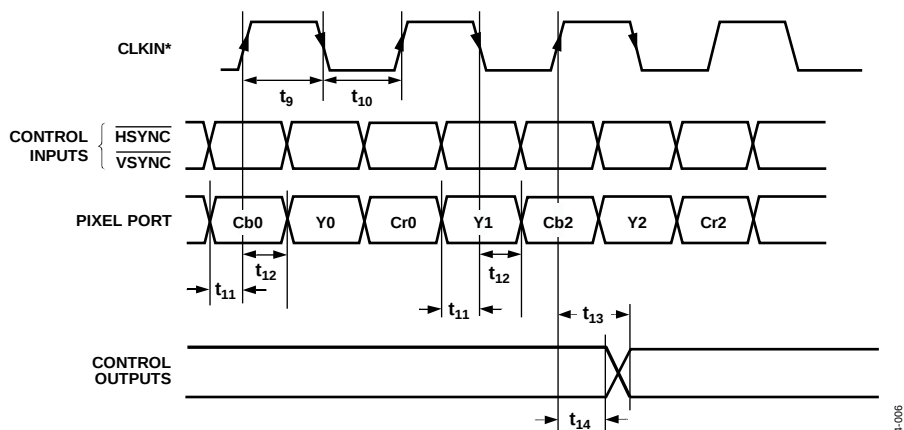


图7. 增清/高清SDR输入，16位4:2:2 YCrCb，输入模式001



*LUMA/CHROMA CLOCK RELATIONSHIP CAN BE INVERTED USING SUBADDRESS 0x01, BITS 1 AND 2.

图8. 增清/高清DDR输入，8/10位4:2:2 YcrCb (HSYNC/VSYNC)，输入模式010

ADV7390/ADV7391/ADV7392/ADV7393

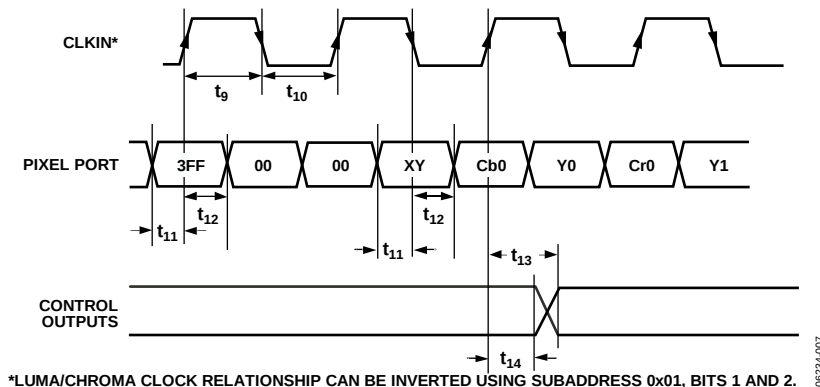


图9. 增清/高清DDR输入，8/10位4:2:2 YcrCb (EAV/SAV)，输入模式010

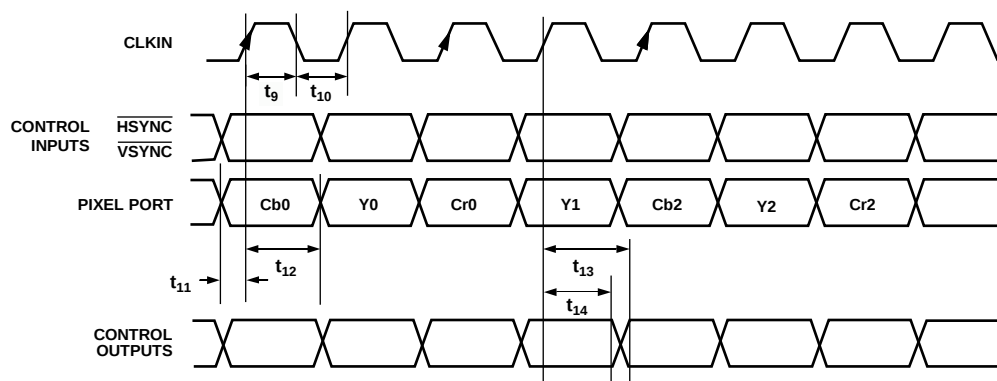


图10. 增清（54 MHz时）输入，8/10位4:2:2 YcrCb (HSYNC/VSYNC)，输入模式111

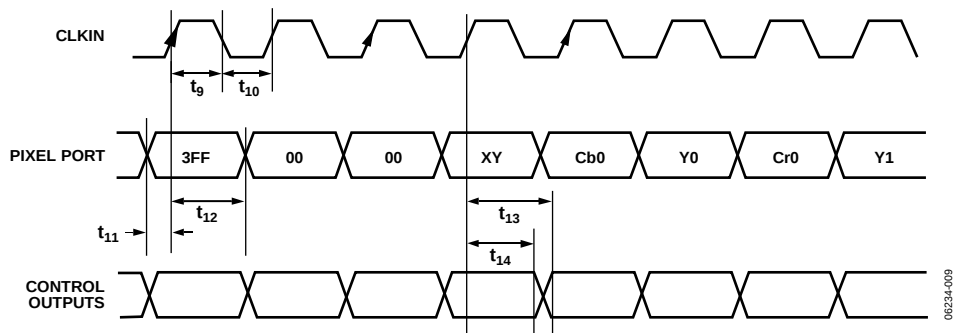
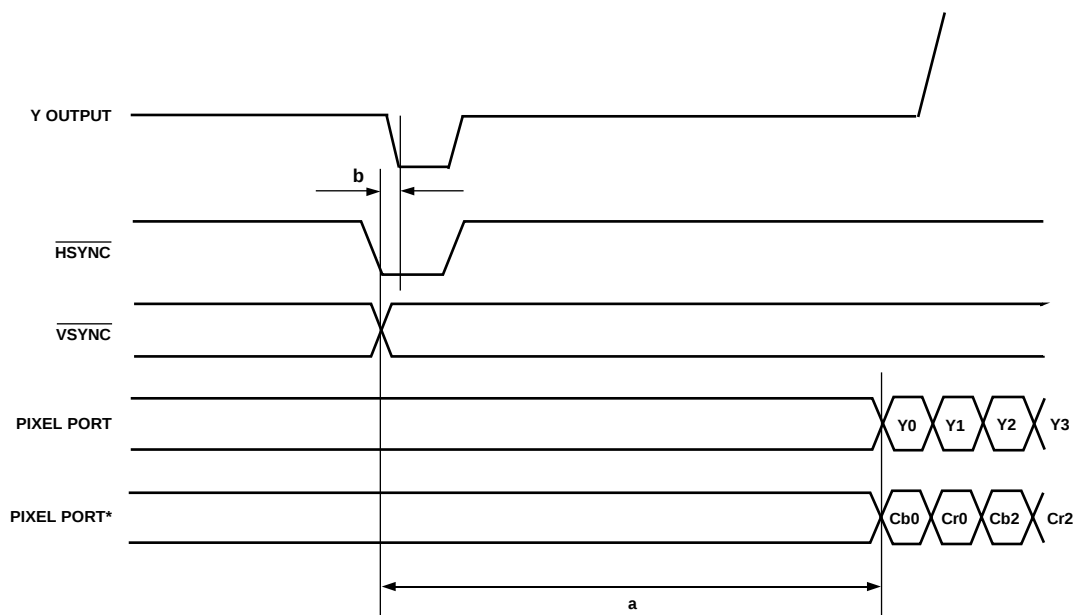


图11. 增清（54 MHz时）输入，8/10位4:2:2 YcrCb (EAV/SAV)，输入模式111



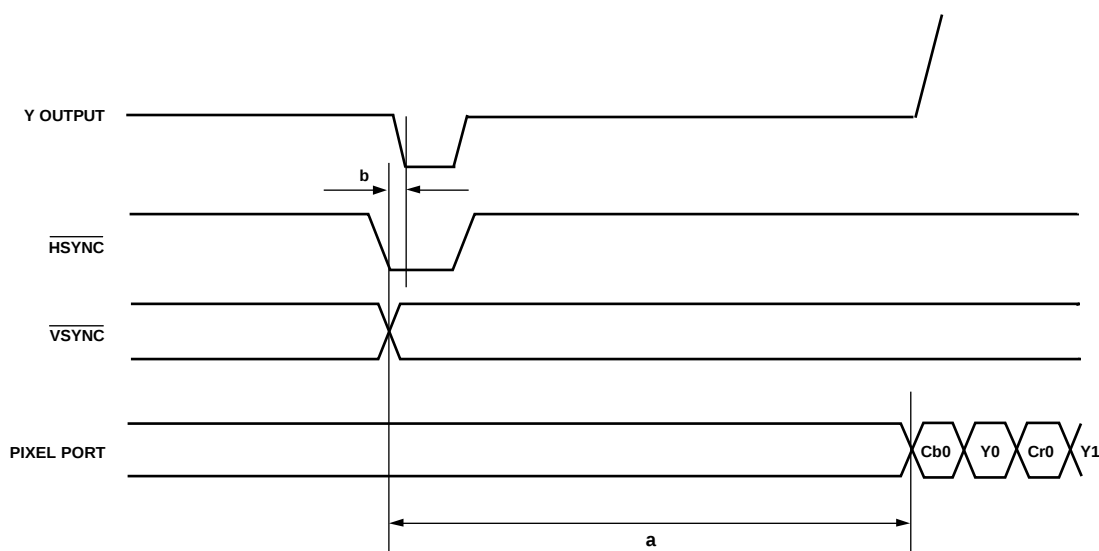
a = AS PER RELEVANT STANDARD.

b = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF $\overline{\text{HSYNC}}$ INTO THE ENCODER GENERATES A SYNC FALLING EDGE ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

06234-010

图12. 增清SDR、16位4:2:2 YcrCb ($\overline{\text{HSYNC}}$ / $\overline{\text{VSYNC}}$)输入时序图



a(MIN) = 244 CLOCK CYCLES FOR 525p.
a(MIN) = 264 CLOCK CYCLES FOR 625p.

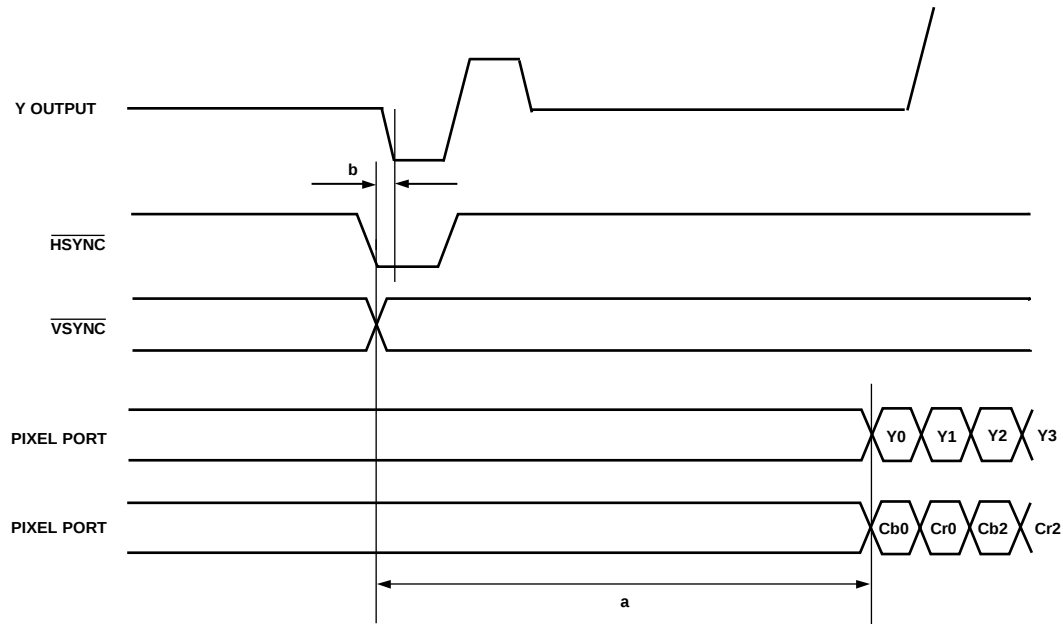
b = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF $\overline{\text{HSYNC}}$ INTO THE ENCODER GENERATES A SYNC FALLING EDGE ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

06234-011

图13. 增清DDR、8/10位4:2:2 YcrCb ($\overline{\text{HSYNC}}$ / $\overline{\text{VSYNC}}$)输入时序图

ADV7390/ADV7391/ADV7392/ADV7393



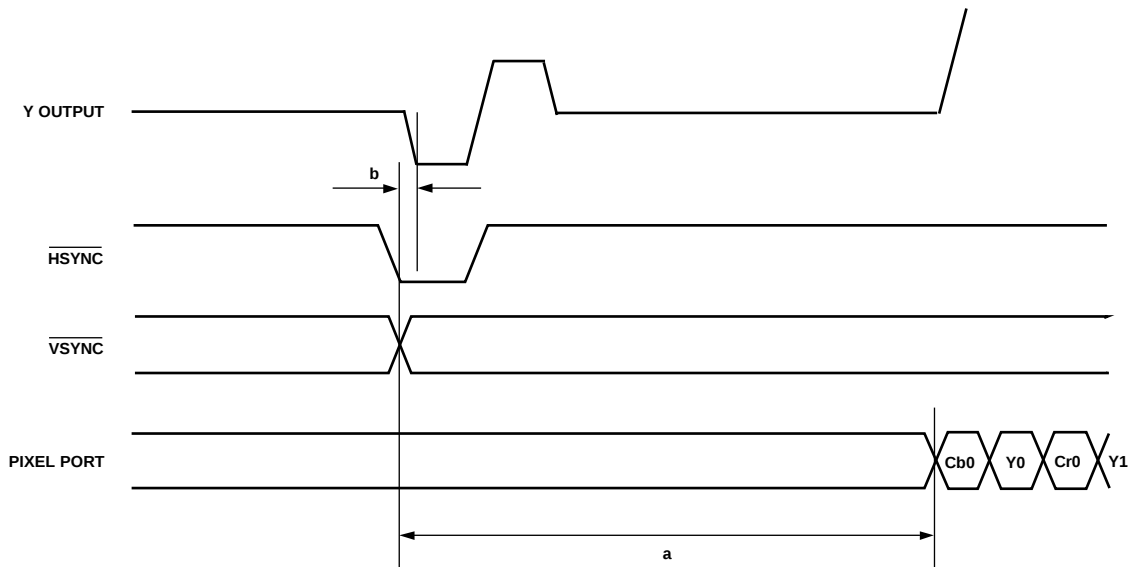
a = AS PER RELEVANT STANDARD.

b = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF $\overline{\text{HSYNC}}$ INTO THE ENCODER GENERATES A FALLING EDGE OF TRI-LEVEL SYNC ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

00234-012

图14. 高清SDR、16位4:2:2 YcrCb ($\overline{\text{HSYNC}}$ / $\overline{\text{VSYNC}}$)输入时序图



a = AS PER RELEVANT STANDARD.

b = PIPELINE DELAY. PLEASE REFER TO RELEVANT PIPELINE DELAY. THIS CAN BE FOUND IN THE DIGITAL TIMING SPECIFICATION SECTION OF THE DATA SHEET.

A FALLING EDGE OF $\overline{\text{HSYNC}}$ INTO THE ENCODER GENERATES A FALLING EDGE OF TRI-LEVEL SYNC ON THE OUTPUT AFTER A TIME EQUAL TO THE PIPELINE DELAY.

00234-013

图15. 高清DDR、8/10位4:2:2 YcrCb ($\overline{\text{HSYNC}}$ / $\overline{\text{VSYNC}}$)输入时序图

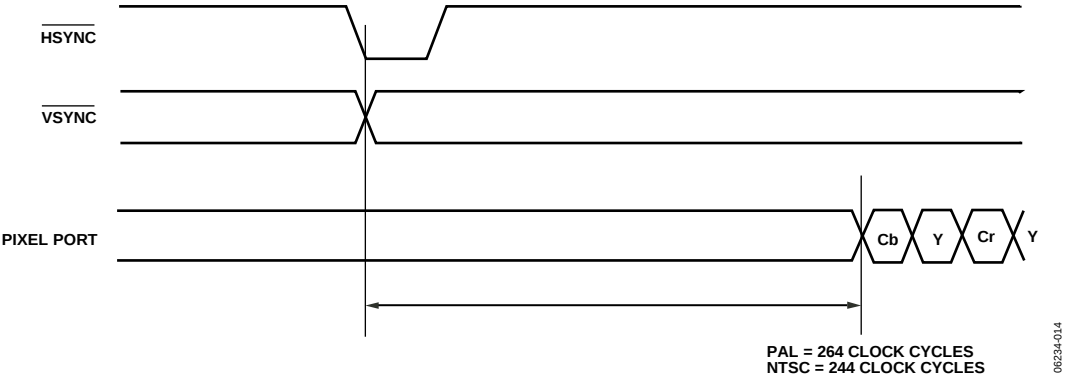


图16. 标清输入时序图(时序模式1)

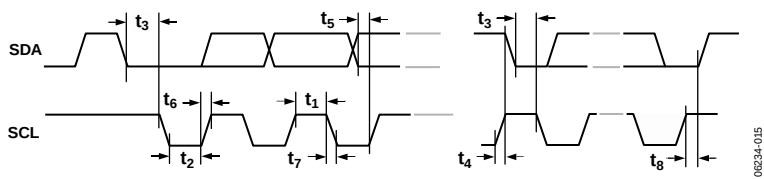


图17. MPU端口时序图(I²C模式)

绝对最大额定值

表13.

参数 ¹	额定值
V_{AA} 至AGND	−0.3 V至+3.9 V
V_{DD} 至DGND	−0.3 V至+2.3 V
PV_{DD} 至PGND	−0.3 V至+2.3 V
V_{DD_IO} 至GND_IO	−0.3 V至+3.9 V
AGND至DGND	−0.3 V至+0.3 V
AGND至PGND	−0.3 V至+0.3 V
AGND至GND_IO	−0.3 V至+0.3 V
DGND至PGND	−0.3 V至+0.3 V
DGND至GND_IO	−0.3 V至+0.3 V
PGND至GND_IO	−0.3 V至+0.3 V
数字输入电压至GND_IO	−0.3 V至 $V_{DD_IO} + 0.3$ V
模拟输出至AGND	−0.3 V至 V_{AA}
最大CLKIN输入频率	80 MHz
存储温度范围(t_s)	−60°C至+100°C
结温(t_j)	150°C
引脚温度(焊接, 10秒)	260°C

¹ 模拟输出短接任何电源或公共端可能没有明确的时限。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即焊接在电路板上的器件为表贴封装。

表14. 热阻¹

封装类型	θ_{JA} ²	θ_{JC-TOP} ³	$\theta_{JC-BOTTOM}$ ⁴	单位
30引脚 WLCSP	35	1	不适用	°C/W
32引脚 LFCSP	27	32	1.2	°C/W
40引脚 LFCSP	26	32	1	°C/W

¹ 值基于JEDEC 4层测试板。

² LFCSP底部的裸露金属焊盘焊接到PCB地。

³ 这是封装的结至顶部热阻。

⁴ 这是封装的结至底部热阻。

ADV739x为符合RoHS标准的无铅产品。引脚表面处理采用100%纯锡电镀。该系列器件适合最高达255°C(±5°C)IR回流(JEDEC STD-20)的无铅应用。

ADV739x向后兼容传统的锡铅焊接工艺。锡电镀层可以在220°C至235°C的传统回流温度下利用锡铅焊剂进行焊接。

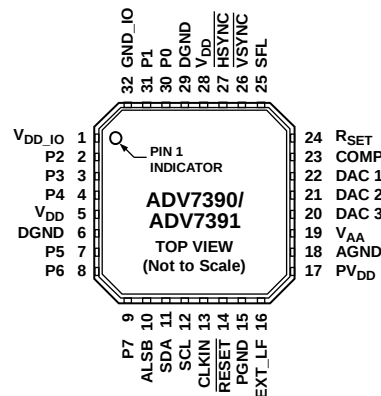
ESD警告



ESD(静电放电)敏感器件。

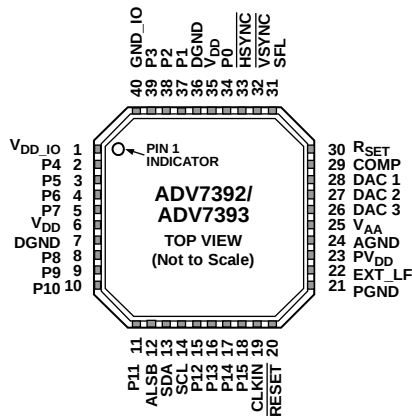
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD SHOULD BE CONNECTED TO ANALOG GROUND (AGND).

图18. ADV7390/ADV7391引脚配置



NOTES
1. THE EXPOSED PAD SHOULD BE CONNECTED TO ANALOG GROUND (AGND).

图19. ADV7392/ADV7393引脚配置

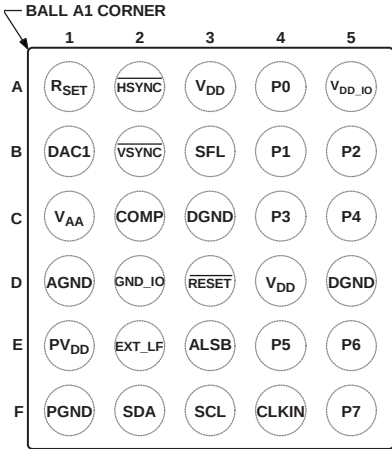


图20. ADV7390BCBZ-A引脚配置

表15. 引脚功能描述

引脚编号			引脚名称	输入/输出	描述
ADV7390/ ADV7391	ADV7392/ ADV7393	ADV7390 WLCSP			
9 至 7, 4 至 2, 31, 30		F5, E5, E4, C5, C4, B5, B4, A4	P7 至 P0	I	8位像素端口(P7至P0)。P0为LSB。 输入模式见表35 (ADV7390/ADV7391)。
	18 至 15, 11 至 8, 5 至 2, 39 至 37, 34		P15 至 P0	I	16位像素端口(P15至P0)。 P0为LSB。 输入模式见表36 (ADV7392/ADV7393)。
13	19	F4	CLKIN	I	像素时钟输入: HD (74.25 MHz)、ED1 (27 MHz或54 MHz) 或SD (27 MHz)。
27	33	A2	HSYNC	I/O	水平同步信号。 此引脚也可以配置为输出SD、ED或HD水平同步信号。 参见外部水平和垂直同步控制部分。
26	32	B2	VSYNC	I/O	垂直同步信号。 此引脚也可以配置为输出SD、ED或HD垂直同步信号。 参见外部水平和垂直同步控制部分。
25	31	B3	SFL	I/O	副载波频率锁定(SFL)输入。



引脚编号			引脚名称	输入/ 输出	描述
ADV7390/ ADV7391	ADV7392/ ADV7393	ADV7390 WLCSP			
24	30	A1	R _{SET}	I	控制DAC 1、DAC 2和DAC 3输出的幅度。对于全驱动操作(例如驱动37.5 Ω负载)，必须将一个510 Ω电阻连接在R _{SET} 与AGND之间。对于低驱动操作(例如驱动300 Ω负载)，必须将一个4.12 kΩ电阻连接在R _{SET} 与AGND之间。
23	29	C2	COMP	O	补偿引脚。将一个2.2 nF电容连接在COMP与V _{AA} 之间。
22, 21, 20	28, 27, 26	B1	DAC 1	O	DAC输出。支持全驱动和低驱动的输出。
			DAC 1, DAC 2, DAC 3	O	DAC输出。支持全驱动和低驱动的输出。
12	14	F3	SCL	I	I ² C时钟输入。
11	13	F2	SDA	I/O	I ² C数据输入/输出。
10	12	E3	ALSB	I	ALSB设置MPU I ² C地址的LSB2。
14	20	D3	RESET	I	复位片内时序发生器并将ADV739x设置为默认模式。
19	25	C1	V _{AA}	P	模拟电源(2.7 V或3.3 V)。
5, 28	6, 35	A3, D4	V _{DD}	P	数字电源(1.8 V)。对于双电源配置，V _{DD} 可以通过铁氧体磁珠或适当的滤波电路连接到其它1.8 V电源。
1	1	A5	V _{DD_IO}	P	输入/输出数字电源(1.8 V或3.3 V)。
17	23	E1	PV _{DD}	P	PLL电源(1.8 V)。对于双电源配置，PV _{DD} 可以通过铁氧体磁珠或适当的滤波电路连接到其它1.8 V电源。
16	22	E2	EXT_LF	I	内部PLL的外部环路滤波器。
15	21	F1	PGND	G	PLL接地引脚。
18	24	D1	AGND	G	模拟地引脚。
6, 29	7, 36	C3, D5	DGND	G	数字地引脚。
32	40	D2	GND_IO	G	输入/输出电源接地引脚。
External Pad	External Pad		EPAD	G	连接到模拟地(AGND)。

¹ ED = 增清 = 525p和625p。

² LSB表示最低有效位。对于ADV7390/ADV7392，将LSB设为0时，I²C地址为0xD4；将LSB设为1时，I²C地址为0xD6。
对于ADV7391/ADV7393，将LSB设为0时，I²C地址为0x54；将LSB设为1时，I²C地址为0x56。

典型工作特性

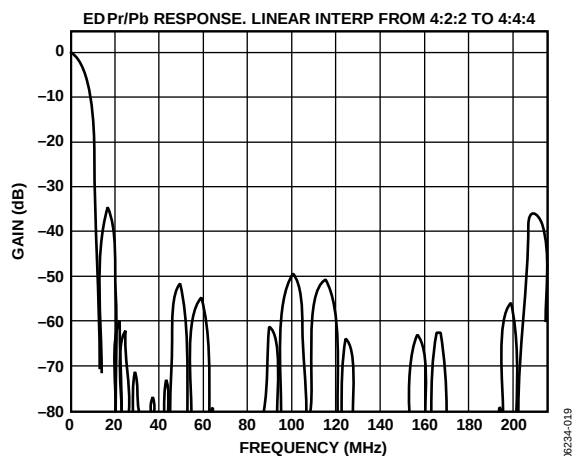


图21. 增清8×过采样、PrPb滤波器(线性)响应

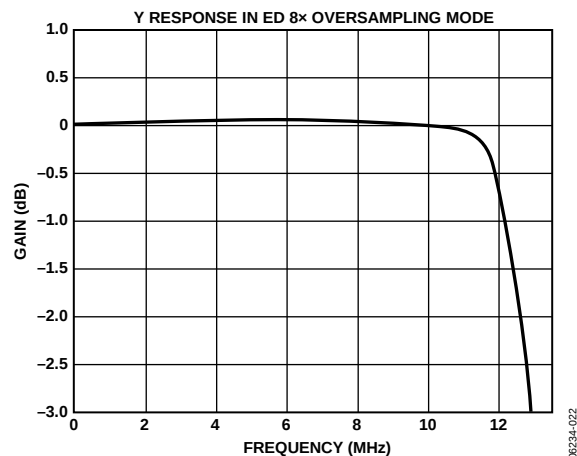


图24. 增清8×过采样、Y滤波器响应(聚焦于通带)

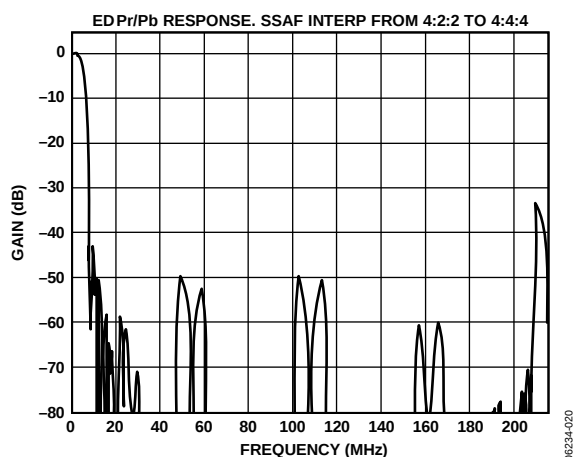


图22. 增清8×过采样、PrPb滤波器(SSAF™)响应

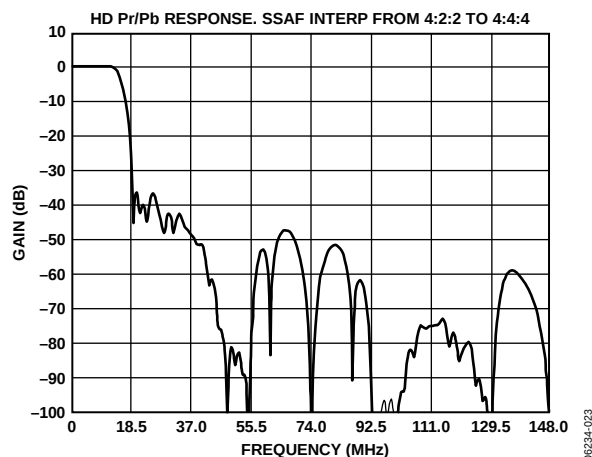


图25. 增清4×过采样、PrPb (SSAF)滤波器响应(4:2:2输入)

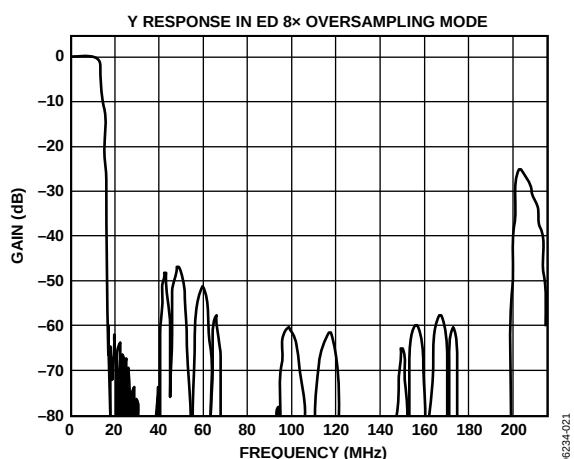


图23. 增清8×过采样、Y滤波器响应

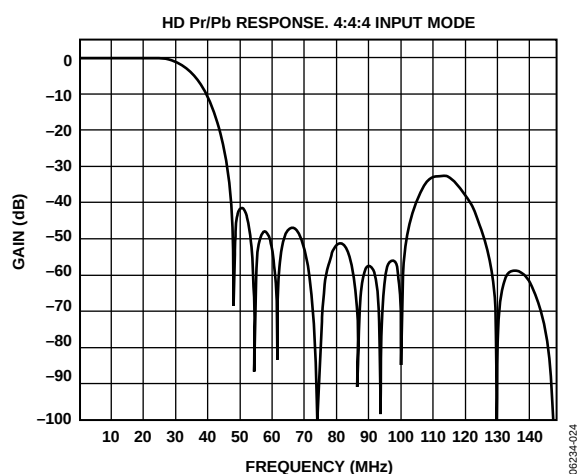


图26. 增清4×过采样、PrPb (SSAF)滤波器响应(4:4:4输入)

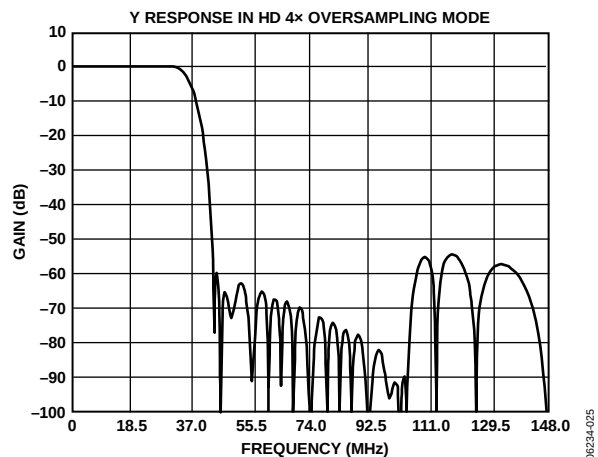


图27. 高清4×过采样、Y滤波器响应

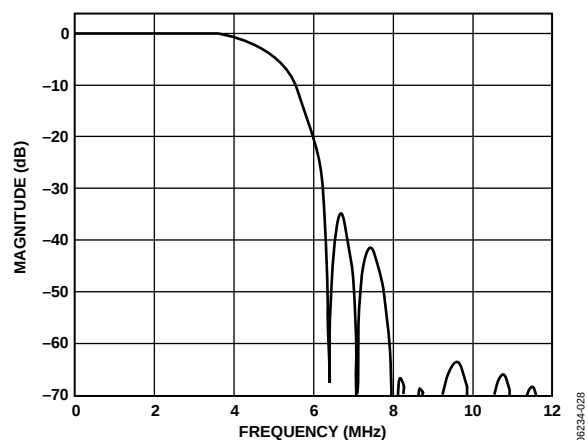


图30. 标清PAL、亮度低通滤波器响应

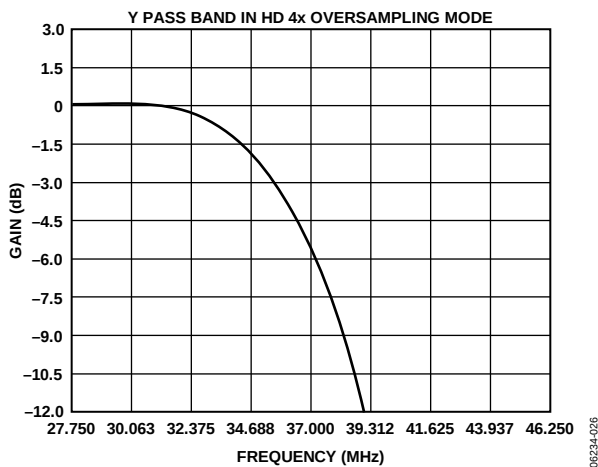


图28. 高清4×过采样、Y滤波器响应（聚焦于通带）

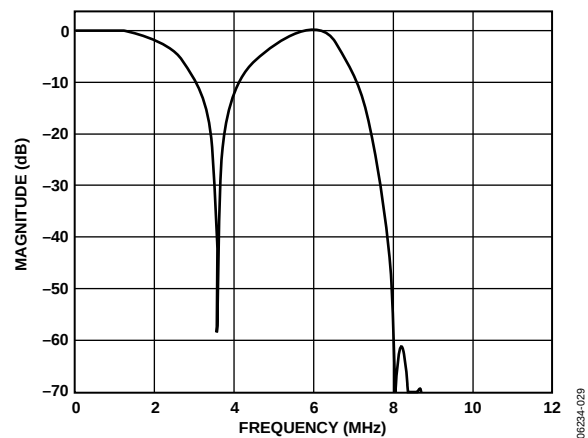


图31. 标清NTSC、亮度陷波滤波器响应

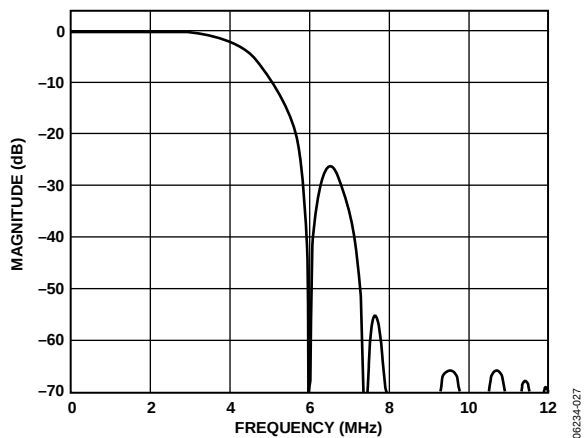


图29. 标清NTSC、亮度低通滤波器响应

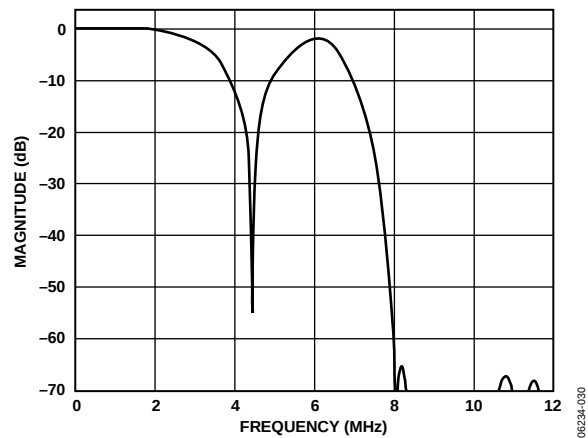


图32. 标清PAL、亮度陷波滤波器响应

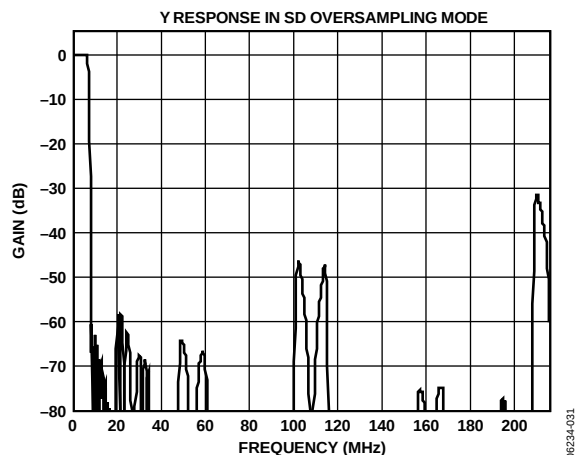


图33. 标清16×过采样、Y滤波器响应

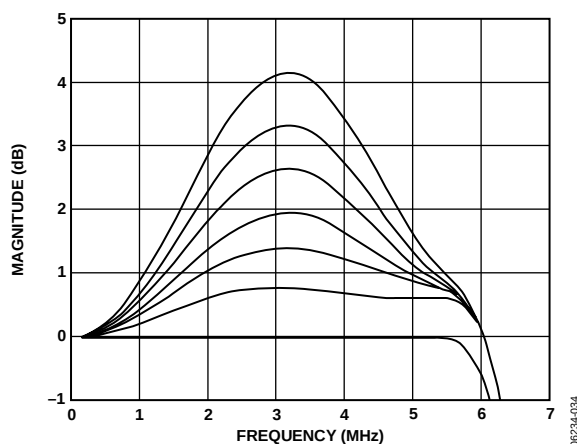


图36. 标清亮度SSAF滤波器、可编程增益

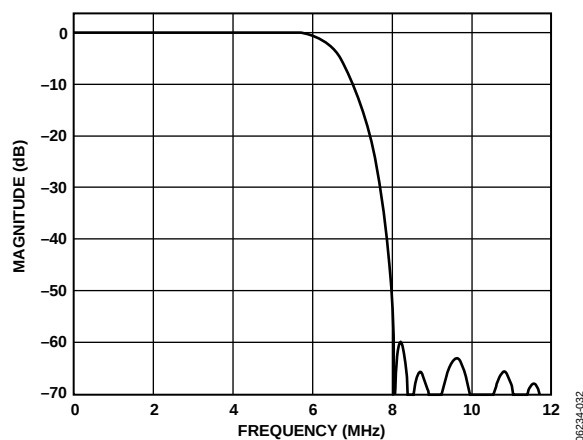


图34. 标清亮度SSAF滤波器响应 (最高12 MHz)

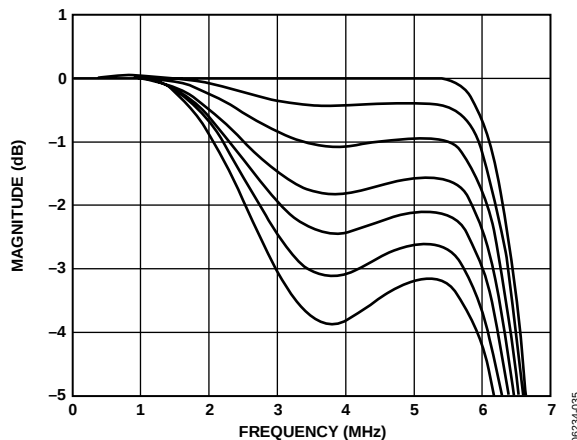


图37. 标清亮度SSAF滤波器、可编程衰减

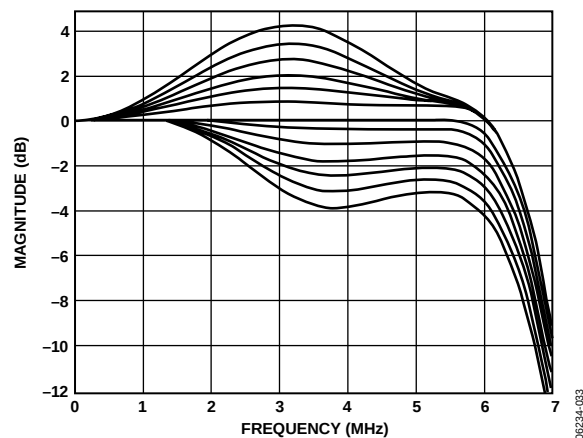


图35. 标清亮度SSAF滤波器、可编程响应

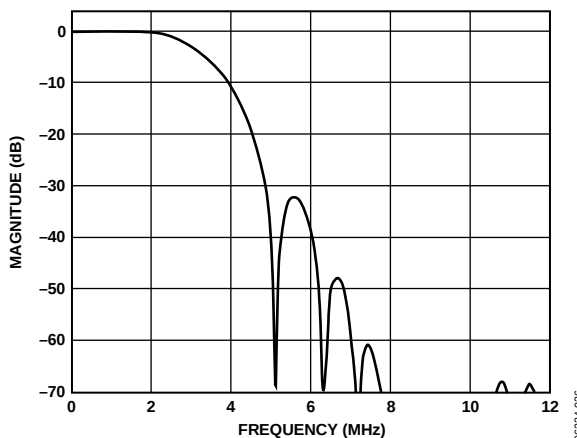


图38. 标清亮度CIF低通滤波器响应

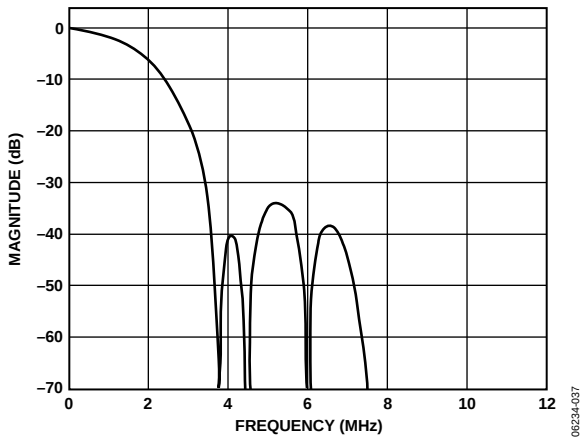


图39. 标清亮度QCIF低通滤波器响应

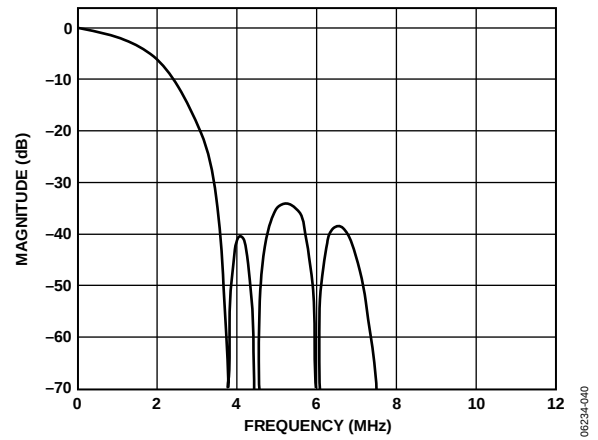


图42. 标清色度1.3 MHz低通滤波器响应

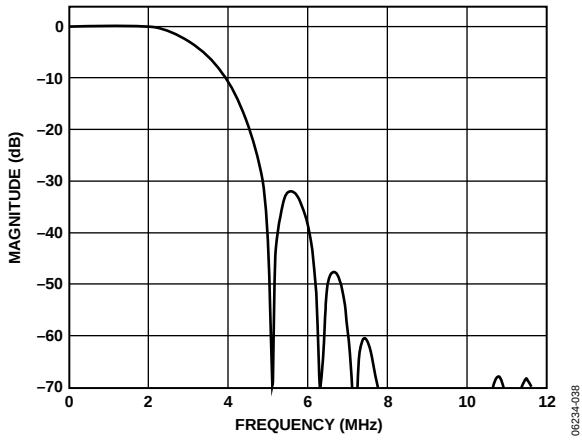


图40. 标清色度3.0 MHz低通滤波器响应

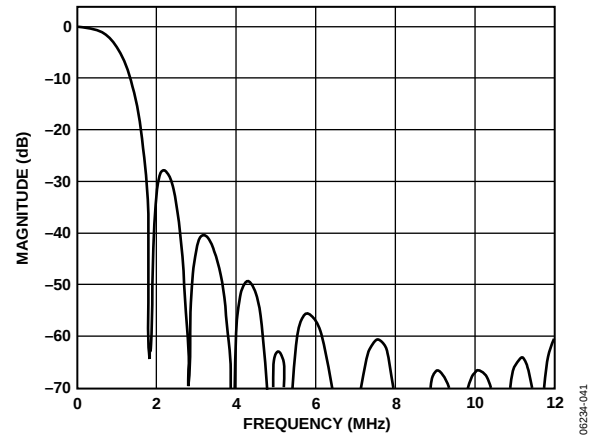


图43. 标清色度1.0 MHz低通滤波器响应

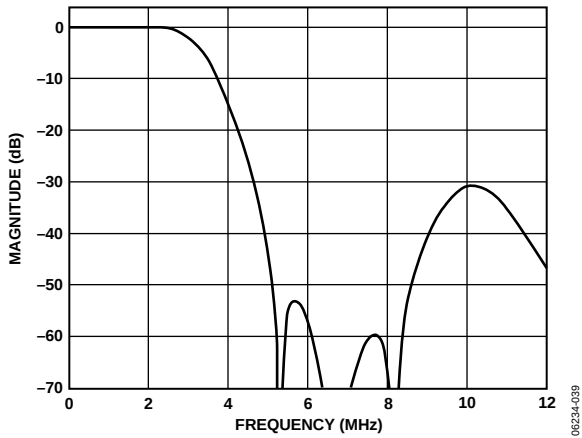


图41. 标清色度2.0 MHz低通滤波器响应

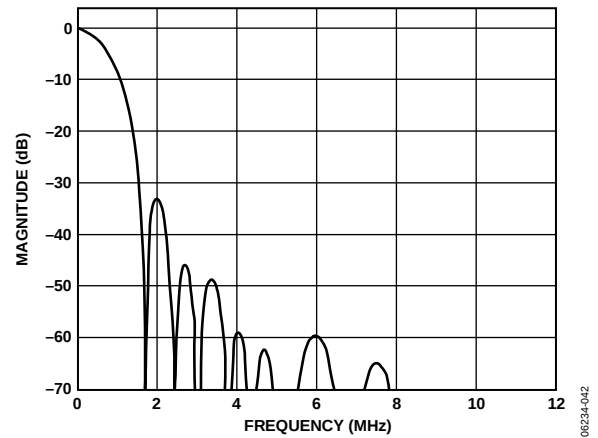


图44. 标清色度0.65 MHz低通滤波器响应

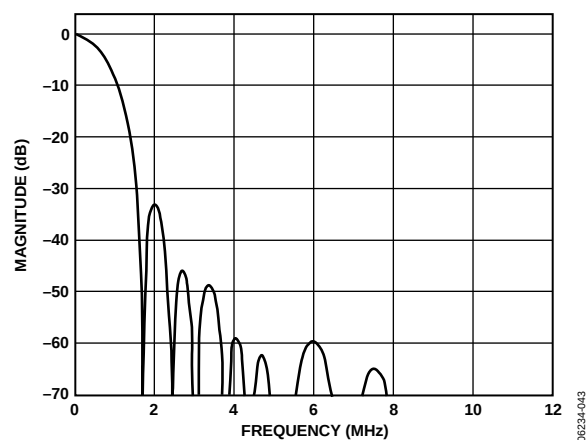


图45. 标清色度CIF低通滤波器响应

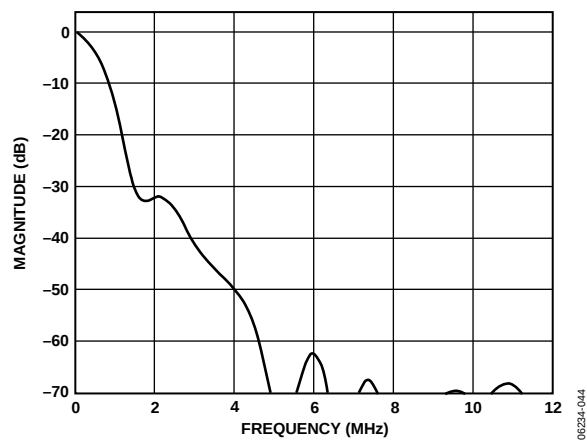


图46. 标清色度QCIF低通滤波器响应

MPU端口描述

微处理器等器件可以通过2线式串行(I²C兼容)总线与ADV739x通信。上电或复位后，MPU端口配置为I²C工作模式。

I²C操作

ADV739x支持2线式串行(I²C兼容)微处理器总线，可驱动多个外设。此端口以开漏配置工作。串行数据(SDA)和串行时钟(SCL)两条线路承载任何连接到总线的器件与ADV739x之间的信息。从机地址取决于器件(ADV7390、ADV7391、ADV7392或ADV7393)、操作(读或写)以及ALSB引脚的状态(0或1)，参见表16、图47和图48。LSB设置读操作或写操作。逻辑1对应读操作，逻辑0对应写操作。通过将ADV739x的ALSB引脚设置为逻辑0或逻辑1来控制A1。

表16. ADV739x I²C从机地址

器件	ALSB	操作	从机地址
ADV7390 和 ADV7392	0	写	0xD4
	0	读	0xD5
	1	写	0xD6
	1	读	0xD7
ADV7391 和 ADV7393	0	写	0x54
	0	读	0x55
	1	写	0x56
	1	读	0x57

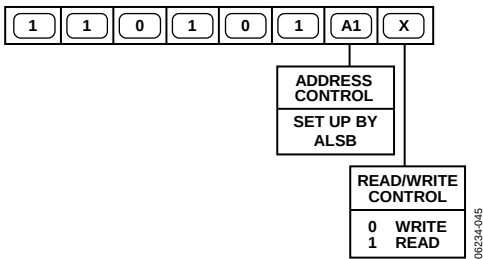


图47. ADV7390/ADV7392 I²C从机地址

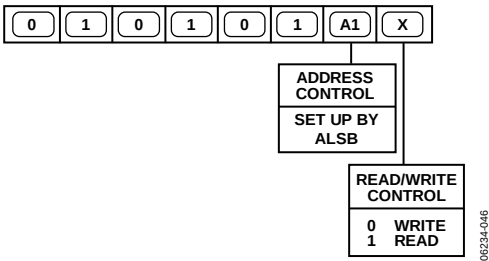


图48. ADV7391/ADV7393 I²C从机地址

总线上的各种器件使用下述协议。主机通过建立起始条件而启动数据传输；起始条件要求SDA发生高到低转换，同时SCL保持高电平。这样，随后就会发生地址/数据流。所有外设均响应起始条件，并移动后续8位(7位地址加R/ $\overline{W}$ 位)。

这些位的传输顺序是从MSB到LSB。能够识别所传输地址的外设在第9个时钟脉冲期间将数据线拉低，从而做出响应。这称为应答位。此时，所有其它器件从总线退出，保持空闲状态。空闲状态是指器件监控SDA和SCL线，等待起始条件和正确的传输地址。R/ $\overline{W}$ 位决定数据的方向。

如果第一个字节的LSB为逻辑0，则意味着主机向外设写入信息。如果第一个字节的LSB为逻辑1，则意味着主机从外设读取信息。

ADV739x充当总线上的标准从机。SDA引脚上的数据为8位长，支持7位地址加R/ $\overline{W}$ 位。它将第一个字节解释为器件地址，将第二个字节解释为起始子地址。子地址可以自动递增，这样就可以从任何有效子地址开始，以升序将数据写入或读出寄存器。数据传输始终由停止条件终止。用户也可以逐个访问任何唯一的子地址寄存器，而无需更新所有寄存器。

在数据传输的任何阶段都可以检测停止和起始条件。如果正常的读写操作导致这些条件置位失序，器件将立即跳入空闲状态。在给定的SCL高电平期间，用户只能发出起始条件、停止条件或者停止条件后跟起始条件。如果用户发出的子地址无效，ADV739x不会发出应答，而是返回空闲状态。如果用户使用自动递增方法寻址编码器，但超过了最高子地址，则器件将采取下列措施：

- 在读取模式下，输出最高子地址寄存器的内容，直到主机发出不应答信号。这表示读取结束。不应答条件是指SDA线在第9个脉冲期间未被拉低。
- 在写入模式下，无效字节的数据不载入任何子地址寄存器，ADV739x发出不应答，器件返回空闲状态。

图49显示了写入序列的数据传输以及起始和停止条件的示例。图50显示了总线写入和读取序列。

ADV7390/ADV7391/ADV7392/ADV7393

图49. I²C数据传输图50. I²C读取和写入序列

ADV7390/ADV7391/ADV7392/ADV7393

寄存器图

除了只读或只写寄存器外，微处理器可以通过MPU端口读写ADV739x的所有寄存器。

子地址寄存器决定下一个读操作或写操作访问的寄存器。通过MPU端口的所有通信均以访问子地址寄存器开始，然后对目标地址执行读/写操作，递增到下一个地址，直到事务完成为止。

寄存器编程

表17至表34描述了各寄存器的功能。除非另有说明，所有寄存器都可以读取和写入。

子地址寄存器(SR7至SR0)

子地址寄存器是一个8位只写寄存器。访问MPU端口并选择读/写操作后，设置子地址。子地址寄存器决定哪一个寄存器执行下一个操作。

表17. 寄存器0x00

SR7至SR0	寄存器	位功能描述	位号								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x00	功耗模式	休眠模式。使能此控制时，功耗降至µA级。禁用所有DAC和内部PLL电路。休眠模式下可以读写寄存器。								0	休眠模式关闭	0x12
										1	休眠模式开启	
		PLL和过采样控制。此控制可以关断内部PLL电路并关闭过采样功能。							0		PLL开启	
									1		PLL关闭	
		DAC 3：电源开/关。						0			DAC 3关闭	
								1			DAC 3开启	
		DAC 2：电源开/关。					0				DAC 2关闭	
							1				DAC 2开启	
		DAC 1：电源开/关。				0					DAC 1关闭	
						1					DAC 1开启	
		保留。	0	0	0							

表18. 寄存器0x01至寄存器0x09

SR7至SR0	寄存器	位功能描述	位号 ¹								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x01	模式选择	保留。								0		0x00
		DDR时钟沿对齐(仅用于增清 ² 和高清DDR模式)						0	0		色度信号在时钟上升沿读入，亮度信号在时钟下降沿读入。	
								0	1		保留。	
								1	0		保留。	
								1	1		亮度信号在时钟上升沿读入，色度信号在时钟下降沿读入。	
		保留					0					
		输入模式 (增清/高清标准选择参见子地址0x30位[7:3])		0	0	0					标清输入	
				0	0	1					增清/高清SDR输入 ³	
				0	1	0					增清/高清DDR输入	
				0	1	1					保留。	
				1	0	0					保留。	
				1	0	1					保留。	
				1	1	0					保留。	
				1	1	1					增清(54 MHz)输入	
		保留	0									

ADV7390/ADV7391/ADV7392/ADV7393

SR7至 SR0	寄存器	位功能描述	位号 ¹								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x02	模式 寄存器0	保留								0	必须将0写入此位。	0x20
		高清隔行外部 VSYNC 和HSYNC							0 1		默认值。 如果使用高清HSYNC/VSYNC 隔行模式， 建议将此位设置为1(更多信息见高清隔行 外部HSYNC 和VSYNC 考虑部分)。	
		测试图案黑条 ⁴						0 1			禁用。 使能。	
		手动CSC矩阵调整					0 1				禁用手动CSC矩阵调整。 使能手动CSC矩阵调整。	
		RGB同步				0 1					不同步。 所有RGB输出同步。	
		RGB/YPrPb输出选择			0 1						RGB分量输出。 YPrPb分量输出。	
		标清同步输出使能		0 1							输出不同步。 HSYNC 和VSYNC 引脚上的标清输出同步。	
		增清/高清同步输出使能	0 1								输出不同步。 HSYNC 和VSYNC 引脚上的增清/高清 输出同步。	
0x03	增清/高清 CSC矩阵0								x	x	LSB用于GY。	0x03
0x04	增清/高清 CSC矩阵1		x	x	x	x	x	x	x	x	LSB用于RV。 LSB用于BU。 LSB用于GV。 LSB用于GU。	0xF0
0x05	增清/高清 CSC矩阵2		x	x	x	x	x	x	x	x	位[9:2]用于GY。	0x4E
0x06	增清/高清 CSC矩阵3		x	x	x	x	x	x	x	x	位[9:2]用于GU。	0x0E
0x07	增清/高清 CSC矩阵4		x	x	x	x	x	x	x	x	位[9:2]用于GV。	0x24
0x08	增清/高清 CSC矩阵5		x	x	x	x	x	x	x	x	位[9:2]用于BU。	0x92
0x09	增清/高清 CSC矩阵6		x	x	x	x	x	x	x	x	位[9:2]用于RV。	0x7C

¹ x = 逻辑0或逻辑1。

² ED = 增清 = 525p和625p。

³ 仅ADV7392/ADV7393(40引脚器件)提供。

⁴ 对于子地址0x31，必须同时使能位2(增清/高清)。对于子地址0x84，必须同时使能位6(标清)。

ADV7390/ADV7391/ADV7392/ADV7393

表19. 寄存器0x0B至寄存器0x17

SR7至 SR0	寄存器	位功能描述	位号 ¹								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x0B	DAC 1、DAC 2、 DAC 3输出电平	对DAC输出电压应用正增益	0	0	0	0	0	0	0	0	0%	0x00
			0	0	0	0	0	0	0	1	+0.018%.	
			0	0	0	0	0	0	1	0	+0.036%.	
			...	...	...	...	...	...	...	...	...	
			0	0	1	1	1	1	1	1	+7.382%.	
			0	1	0	0	0	0	0	0	+7.5%.	
		对DAC输出电压应用负增益	1	1	0	0	0	0	0	0	-7.5%.	
			1	1	0	0	0	0	0	1	-7.382%.	
			1	0	0	0	0	0	1	0	-7.364%.	
			...	...	...	...	...	...	...	...	...	
			1	1	1	1	1	1	1	1	-0.018%.	
0x0D	DAC功耗模式	DAC 1低功耗模式								0	DAC 1低功耗禁用。	0x00
										1	DAC 1低功耗使能。	
		DAC 2低功耗模式							0		DAC 2低功耗禁用。	
									1		DAC 2低功耗使能。	
		DAC 3低功耗模式						0			DAC 3低功耗禁用。	
								1			DAC 3低功耗使能。	
0x10	有线电视信号 检测	标清/增清过采样速率选择					0				SD = 16x, ED = 8x.	0x00
							1				SD = 8x, ED = 4x.	
		保留	0	0	0	0						
		DAC 1有线电视信号检测 只读								0	DAC 1上检测到有线 电视信号。	
										1	DAC 1无连接。	
		DAC 2有线电视信号检测 只读							0		DAC 2上检测到有线 电视信号。	
0x13	像素端口回读A ²									1	DAC 2无连接。	0xXX
		保留					0	0				
		无连接DAC自动关断				0					DAC自动关断禁用。	
						1					DAC自动关断使能。	
		保留	0	0	0							
		P[7:0]回读(ADV7390/ADV7391) P[15:8]回读(ADV7392/ADV7393)	x	x	x	x	x	x	x	x	只读。	
0x14	像素端口回读B ²	P[7:0]回读(ADV7392/ADV7393)	x	x	x	x	x	x	x	x	只读。	0xXX
0x16	控制端口回读 ²	保留						x	x	x	只读。	0xXX
		VS _{YNC} 回读					x					
		HS _{YNC} 回读				x						
		SFL回读			x							
		保留	x	x								
0x17	软件复位	保留								0		0x00
		软件复位							0		写入1，复位器件； 这是一个自清零位。	
		保留。	0	0	0	0	0	0				

¹ x = 逻辑0或逻辑1。

² 为确保正常工作，子地址0x01[6:4]必须等于默认值000。

表20. 寄存器0x30

SR7至 SR0	寄存器	位功能描述	位号								寄存器设置	注释	复位值
			7	6	5	4	3	2	1	0			
0x30	增清/高清 模式寄存器 ¹	增清/高清输出标准							0	0	EIA-770.2输出	增清 高清	0x00
									0	1	EIA-770.3输出		
									1	0	EIA-770.1输出		
									1	1	全输入范围下的输出电平		
		增清/高清输入同步格式						0			外部HSYNC、VSYNC		
								1			和场输入 ¹ 嵌入式EAV/SAV码		
		增清/高清标准 ²	0	0	0	0	0				SMPTE 293M, ITU-BT.1358	525p、59.94 Hz	
			0	0	0	1	0				BTA-1004, ITU-BT.1362	525p、59.94 Hz	
			0	0	0	1	1				ITU-BT.1358	625p、50 Hz	
			0	0	1	0	0				ITU-BT.1362	625p、50 Hz	
			0	0	1	0	1				SMPTE 296M-1, SMPTE 274M-2	720p、 60 Hz/59.94 Hz	
			0	0	1	1	0				SMPTE 296M-3	720p、50 Hz	
			0	0	1	1	1				SMPTE 296M-4, SMPTE 274M-5	720p、 30 Hz/29.97 Hz	
			0	1	0	0	0				SMPTE 296M-6	720p、25 Hz	
			0	1	0	0	1				SMPTE 296M-7, SMPTE 296M-8	720p、 24 Hz/23.98 Hz	
			0	1	0	1	0				SMPTE 240M	1035i、 60 Hz/59.94 Hz	
			0	1	0	1	1				保留	1080i、 30 Hz/29.97 Hz 1080i at 25 Hz 1080p、 30 Hz/29.97 Hz 1080p、 25 Hz 1080p、 24 Hz/23.98 Hz 1080Psf、24 Hz	
			0	1	1	0	0				保留		
			0	1	1	0	1				SMPTE 274M-4, SMPTE 274M-5		
			0	1	1	1	0				SMPTE 274M-6		
			0	1	1	1	1				SMPTE 274M-7, SMPTE 274M-8		
			1	0	0	0	0				SMPTE 274M-9		
			1	0	0	0	1				SMPTE 274M-10, SMPTE 274M-11		
			1	0	0	1	0				ITU-R BT.709-5		
			10011 至 11111								保留		

¹ 根据子地址0x34位6的设置，可以利用HSYNC与VSYNC输入组合或HSYNC与场输入组合对同步进行控制。

² 更多信息参见高清隔行外部HSYNC和VSYNC考虑部分。

ADV7390/ADV7391/ADV7392/ADV7393

表21. 寄存器0x31至寄存器0x33

SR7至 SR0	寄存器	位功能描述	位号								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x31	增清/高清模式 寄存器2	增清/高清像素数据验证								0 1	像素数据验证关闭。 像素数据验证开启。	0x00
		增清过采样速率选择							0 1		4x. 2x.	
		增清/高清测试图案使能						0 1			高清测试图案关闭。 高清测试图案开启。	
		增清/高清测试图案阴影/场					0 1				阴影。 场/帧。	
		增清/高清垂直消隐间隔(VBI)开启				0 1					禁用。 使能。	
		增清/高清欠冲限幅器		0 0 1 1	0 1 0 1						禁用。 -11 IRE. -6 IRE. -1.5 IRE.	
		增清/高清锐度滤波器	0 1								禁用。 使能。	
0x32	增清/高清模式 寄存器3	相对于 $\overline{\text{HSYNC}}$ 下降沿的增清/高清Y延迟						0 0 0 0 1	0 0 1 1 0	0 1 0 1 0	0时钟周期。 1时钟周期。 2时钟周期。 3时钟周期。 4时钟周期。	0x00
		相对于 $\overline{\text{HSYNC}}$ 下降沿的增清/高清 颜色延迟			0 0 0 0 1	0 0 1 1 0	0 1 1 0 0				0时钟周期。 1时钟周期。 2时钟周期。 3时钟周期。 4时钟周期。	
		增清/高清CGMS使能		0 1							禁用。 使能。	
		增清/高清CGMS CRC使能	0 1								禁用。 使能。	
0x33	增清/高清模式 寄存器4	增清/高清Cr/Cb序列								0 1	Cb位于 $\overline{\text{HSYNC}}$ 下降沿之后。 Cr位于 $\overline{\text{HSYNC}}$ 下降沿之后。	0x68
		保留							0		必须将0写入此位。	
		增清/高清输入格式						0 1			8位输入。 10位输入1。	
		DAC 1、DAC 2、DAC 3的Sinc 补偿滤波器					0 1				禁用。 使能。	
		保留				0					必须将0写入此位。	
		增清/高清色度SSAF滤波器			0 1						禁用。 使能。	
		保留		1							必须将0写入此位。	
		增清/高清双缓冲	0 1								禁用。 使能。	

¹ 仅ADV7392/ADV7393(40引脚器件)提供。

表22. 寄存器0x34至寄存器0x38

SR7至 SR0	寄存器	位功能描述	位号 ¹							寄存器设置	复位值
			7	6	5	4	3	2	1		
0x34	增清/高清模式 寄存器5	增清/高清时序复位							0 1	内部增清/高清时序计数器使能。 复位内部增清/高清时序计数器。	0x48
		增清/高清HSYNC ² 控制 ²						0 1		HSYNC 输出控制(见表55)。	
		增清/高清VSYNC ² 控制 ²						0 1		VSYNC 输出控制(见表56)。	
		保留					1				
		增清Macrovision [®] 使能 ³				0 1				增清Macrovision禁用。 增清Macrovision使能。	
		保留			0					必须将0写入此位。	
		增清/高清VSYNC ² 输入/场输入		0 1						0 = 场输入。 1 = VSYNC ² 输入。	
		增清/高清水平/垂直 计数器模式 ⁴	0 1							更新场/行计数器。 场/行计数器自由运行。	
0x35	增清/高清模式 寄存器 ⁶	保留							0		0x00
		保留							0		
		增清/高清PrPb同步						0 1		禁用。 使能。	
		增清/高清颜色DAC交换					0 1			DAC 2 = Pb, DAC 3 = Pr DAC 2 = Pr, DAC 3 = Pb.	
		增清/高清伽玛校正 曲线选择				0 1				伽玛校正曲线A。 伽玛校正曲线B。	
		增清/高清伽玛校正使能			0 1					禁用。 使能。	
		增清/高清自适应 滤波器模式		0 1						模式A。 模式B。	
		增清/高清自适应滤波器 使能	0 1							禁用。 使能。	
0x36	增清/高清Y电平 ⁵	增清/高清测试图案Y电平	x	x	x	x	x	x	x	Y电平值。	0xA0
0x37	增清/高清Cr电平 ⁵	增清/高清测试图案Cr电平	x	x	x	x	x	x	x	Cr电平值。	0x80
0x38	增清/高清Cb电平 ⁵	增清/高清测试图案Cb电平	x	x	x	x	x	x	x	Cb电平值。	0x80

¹ x = 逻辑0或逻辑1。² 与增清/高清同步输出使能(子地址0x02位7 = 1)一起使用。³ 仅适用于ADV7390和ADV7392。⁴ 置0时, 水平/垂直计数器自动在所选标准的行/场/帧结束时绕回。置1时, 水平/垂直计数器自由运行, 在外部同步信号要求下绕回。⁵ 仅用于增清/高清内部测试图案(子地址0x31位2 = 1)。

ADV7390/ADV7391/ADV7392/ADV7393

表23. 寄存器0x39至寄存器0x43

SR7至 SR0	寄存器	位功能描述	位号								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x39	增清/高清模式 寄存器7	保留				0	0	0	0	0		0x00
		增清/高清EIA/CEA-861B 同步兼容			0 1						禁用 使能	
		保留	0	0								
0x3A	增清/高清模式 寄存器8	INV_PHSYNC_PO								0 1	禁用 使能	0x00
		INV_PVSYNC_POL							0 1		禁用 使能	
		INV_PBLANK_POL						0 1			禁用 使能	
		保留	0	0	0	0	0					
0x40	增清/高清锐度 滤波器增益	增清/高清锐度滤波器 增益值A					0 0 ... 0 1 ... 1	0 0 ... 1 0 ... 1	0 0 ... 1 0 ... 1	0 1 ... 1 0 ... 1	增益A = 0 增益A = +1 ... 增益A = +7 增益A = -8 ... 增益A = -1	0x00
		增清/高清锐度滤波器 增益值B	0 0 ... 0 1 ... 1	0 0 ... 1 0 ... 1	0 0 ... 1 0 ... 1	0 1 ... 1 0 ... 1					增益B = 0 增益B = +1 ... 增益B = +7 增益B = -8 ... 增益B = -1	
0x41	增清/高清CGMS 数据0	增清/高清CGMS数据位	0	0	0	0	C19	C18	C17	C16	CGMS C19至C16	0x00
0x42	增清/高清CGMS 数据1	增清/高清CGMS数据位	C15	C14	C13	C12	C11	C10	C9	C8	CGMS C15至C8	0x00
0x43	增清/高清CGMS 数据2	增清/高清CGMS数据位	C7	C6	C5	C4	C3	C2	C1	C0	CGMS C7至C0	0x00

表24. 寄存器0x44至寄存器0x57

SR7至 SR0	寄存器	位功能描述	位号 ¹								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x44	增清/高清伽玛A0	增清/高清伽玛曲线A(点24)	x	x	x	x	x	x	x	x	A0	0x00
0x45	增清/高清伽玛A1	增清/高清伽玛曲线A(点32)	x	x	x	x	x	x	x	x	A1	0x00
0x46	增清/高清伽玛A2	增清/高清伽玛曲线A(点48)	x	x	x	x	x	x	x	x	A2	0x00
0x47	增清/高清伽玛A3	增清/高清伽玛曲线A(点64)	x	x	x	x	x	x	x	x	A3	0x00
0x48	增清/高清伽玛A4	增清/高清伽玛曲线A(点80)	x	x	x	x	x	x	x	x	A4	0x00
0x49	增清/高清伽玛A5	增清/高清伽玛曲线A(点96)	x	x	x	x	x	x	x	x	A5	0x00
0x4A	增清/高清伽玛A6	增清/高清伽玛曲线A(点128)	x	x	x	x	x	x	x	x	A6	0x00
0x4B	增清/高清伽玛A7	增清/高清伽玛曲线A(点160)	x	x	x	x	x	x	x	x	A7	0x00
0x4C	增清/高清伽玛A8	增清/高清伽玛曲线A(点192)	x	x	x	x	x	x	x	x	A8	0x00
0x4D	增清/高清伽玛A9	增清/高清伽玛曲线A(点224)	x	x	x	x	x	x	x	x	A9	0x00
0x4E	增清/高清伽玛B0	增清/高清伽玛曲线B(点24)	x	x	x	x	x	x	x	x	B0	0x00
0x4F	增清/高清伽玛B1	增清/高清伽玛曲线B(点32)	x	x	x	x	x	x	x	x	B1	0x00
0x50	增清/高清伽玛B2	增清/高清伽玛曲线B(点48)	x	x	x	x	x	x	x	x	B2	0x00
0x51	增清/高清伽玛B3	增清/高清伽玛曲线B(点64)	x	x	x	x	x	x	x	x	B3	0x00
0x52	增清/高清伽玛B4	增清/高清伽玛曲线B(点80)	x	x	x	x	x	x	x	x	B4	0x00
0x53	增清/高清伽玛B5	增清/高清伽玛曲线B(点96)	x	x	x	x	x	x	x	x	B5	0x00
0x54	增清/高清伽玛B6	增清/高清伽玛曲线B(点128)	x	x	x	x	x	x	x	x	B6	0x00
0x55	增清/高清伽玛B7	增清/高清伽玛曲线B(点160)	x	x	x	x	x	x	x	x	B7	0x00
0x56	增清/高清伽玛B8	增清/高清伽玛曲线B(点192)	x	x	x	x	x	x	x	x	B8	0x00
0x57	增清/高清伽玛B9	增清/高清伽玛曲线B(点224)	x	x	x	x	x	x	x	x	B9	0x00

¹x = 逻辑0或逻辑1。

ADV7390/ADV7391/ADV7392/ADV7393

表25. 寄存器0x58至寄存器0x5D

SR7至 SR0	寄存器	位功能描述	位号 ¹								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x58	增清/高清自适应滤波器增益1	增清/高清自适应滤波器增益1, 值A					0 0 ... 0 1 ... 1	0 0 ... 1 0 ... 1	0 0 ... 1 0 ... 1	0 1 ... 1 0 ... 1	增益A = 0 增益A = +1 ... 增益A = +7 增益A = -8 ... 增益A = -1	0x00
		增清/高清自适应滤波器增益1, 值A	0 0 ... 0 1 ... 1	0 0 ... 1 0 ... 1	0 0 ... 1 0 ... 1	0 1 ... 1 0 ... 1					增益B = 0 增益B = +1 ... 增益B = +7 增益B = -8 ... 增益B = -1	
0x59	增清/高清自适应滤波器增益2	增清/高清自适应滤波器增益2, 值A					0 0 ... 0 1 ... 1	0 0 ... 1 0 ... 1	0 0 ... 1 0 ... 1	0 1 ... 1 0 ... 1	增益A = 0 增益A = +1 ... 增益A = +7 增益A = -8 ... 增益A = -1	0x00
		增清/高清自适应滤波器增益2, 值B	0 0 ... 0 1 ... 1	0 0 ... 1 0 ... 1	0 0 ... 1 0 ... 1	0 1 ... 1 0 ... 1					增益B = 0 增益B = +1 ... 增益B = +7 增益B = -8 ... 增益B = -1	
0x5A	增清/高清自适应滤波器增益3	增清/高清自适应滤波器增益3, 值A					0 0 ... 0 1 ... 1	0 0 ... 1 0 ... 1	0 0 ... 1 0 ... 1	0 1 ... 1 0 ... 1	增益A = 0 增益A = +1 ... 增益A = +7 增益A = -8 ... 增益A = -1	0x00
		增清/高清自适应滤波器增益3, 值B	0 0 ... 0 1 ... 1	0 0 ... 1 0 ... 1	0 0 ... 1 0 ... 1	0 1 ... 1 0 ... 1					增益B = 0 增益B = +1 ... 增益B = +7 增益B = -8 ... 增益B = -1	
0x5B	增清/高清自适应滤波器阈值A	增清/高清自适应滤波器阈值A	x	x	x	x	x	x	x	x	阈值A	0x00
0x5C	增清/高清自适应滤波器阈值B	增清/高清自适应滤波器阈值B	x	x	x	x	x	x	x	x	阈值B	0x00
0x5D	增清/高清自适应滤波器阈值C	增清/高清自适应滤波器阈值C	x	x	x	x	x	x	x	x	阈值C	0x00

¹ x = 逻辑0或逻辑1。

表26. 寄存器0x5E至寄存器0x6E

SR7至 SR0	寄存器	位功能描述	位号								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x5E	增清/高清CGMS B型寄存器0	增清/高清CGMS B型使能								0 1	禁用 使能	0x00
		增清/高清CGMS B型CRC使能							0 1		禁用 使能	
		增清/高清CGMS B型表头位	H5	H4	H3	H2	H1	H0			H5至H0	
0x5F	增清/高清CGMS B型寄存器1	增清/高清CGMS B型数据位	P7	P6	P5	P4	P3	P2	P1	P0	P7至P0	0x00
0x60	增清/高清CGMS B型寄存器2	增清/高清CGMS B型数据位	P15	P14	P13	P12	P11	P10	P9	P8	P15至P8	0x00
0x61	增清/高清CGMS B型寄存器3	增清/高清CGMS B型数据位	P23	P22	P21	P20	P19	P18	P17	P16	P23至P16	0x00
0x62	增清/高清CGMS B型寄存器4	增清/高清CGMS B型数据位	P31	P30	P29	P28	P27	P26	P25	P24	P31至P24	0x00
0x63	增清/高清CGMS B型寄存器5	增清/高清CGMS B型数据位	P39	P38	P37	P36	P35	P34	P33	P32	P39至P32	0x00
0x64	增清/高清CGMS B型寄存器6	增清/高清CGMS B型数据位	P47	P46	P45	P44	P43	P42	P41	P40	P47至P40	0x00
0x65	增清/高清CGMS B型寄存器7	增清/高清CGMS B型数据位	P55	P54	P53	P52	P51	P50	P49	P48	P55至P48	0x00
0x66	增清/高清CGMS B型寄存器8	增清/高清CGMS B型数据位	P63	P62	P61	P60	P59	P58	P57	P56	P63至P56	0x00
0x67	增清/高清CGMS B型寄存器9	增清/高清CGMS B型数据位	P71	P70	P69	P68	P67	P66	P65	P64	P71至P64	0x00
0x68	增清/高清CGMS B型寄存器10	增清/高清CGMS B型数据位	P79	P78	P77	P76	P75	P74	P73	P72	P79至P72	0x00
0x69	增清/高清CGMS B型寄存器11	增清/高清CGMS B型数据位	P87	P86	P85	P84	P83	P82	P81	P80	P87至P80	0x00
0x6A	增清/高清CGMS B型寄存器12	增清/高清CGMS B型数据位	P95	P94	P93	P92	P91	P90	P89	P88	P95至P88	0x00
0x6B	增清/高清CGMS B型寄存器13	增清/高清CGMS B型数据位	P103	P102	P101	P100	P99	P98	P97	P96	P103至P96	0x00
0x6C	增清/高清CGMS B型寄存器14	增清/高清CGMS B型数据位	P111	P110	P109	P108	P107	P106	P105	P104	P111至P104	0x00
0x6D	增清/高清CGMS B型寄存器15	增清/高清CGMS B型数据位	P119	P118	P117	P116	P115	P114	P113	P112	P119至P112	0x00
0x6E	增清/高清CGMS B型寄存器16	增清/高清CGMS B型数据位	P127	P126	P125	P124	P123	P122	P121	P120	P127至P120	0x00

ADV7390/ADV7391/ADV7392/ADV7393

表27. 寄存器0x80至寄存器0x83

SR7至 SR0	寄存器	位功能描述	位号								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x80	标清模式寄存器1	标清标准							0	0	NTSC PAL B, PAL D, PAL G, PAL H, PAL I PAL M PAL N	0x10
		标清亮度滤波器				0	0	0			LPF NTSC LPF PAL Notch NTSC Notch PAL Luma SSAF Luma CIF Luma QCIF 保留	
		标清色度滤波器	0	0	0						1.3 MHz 0.65 MHz 1.0 MHz 2.0 MHz 保留 Chroma CIF Chroma QCIF 3.0 MHz	
			0	0	1							
			0	1	0							
			0	1	1							
			1	0	0							
			1	0	1							
			1	1	0							
			1	1	1							
0x82	标清模式寄存器2	标清PrPb SSAF滤波器							0	0	禁用 使能	0x0B
		标清DAC输出1							0	1	见表37	
		保留						0				
		标清基底					0				禁用 使能	
		标清方形像素模式				0					禁用 使能	
		标清VCR FF/RW同步			0						禁用 使能	
		标清像素数据验证		0							禁用 使能	
		标清有效视频边沿控制	0								禁用 使能	
			1									
0x83	标清模式寄存器3	标清基底YPrPb输出							0	1	YPrPb上无基底 YPrPb上有7.5 IRE基底	0x04
		标清输出电平Y							0	1	Y = 700 mV/300 mV Y = 714 mV/286 mV	
		标清输出电平PrPb					0	0			700 mV p-p (PAL), 1000 mV p-p (NTSC) 700 mV p-p 1000 mV p-p 648 mV p-p	
							0	1				
		标清垂直消隐间隔(VBI) 开启				0					禁用 使能	
		标清隐藏字幕场控制		0	0						隐藏字幕禁用 仅奇数场有隐藏字幕 仅偶数场有隐藏字幕 两种场均有隐藏字幕	
				0	1							
				1	0							
				1	1							
		保留	0								保留	

ADV7390/ADV7391/ADV7392/ADV7393

表28. 寄存器0x84至寄存器0x87

SR7至 SR0	寄存器	位功能描述	位号								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x84	标清模式 寄存器4	保留								0		0x00
		标清SFL/SCR/TR模式选择						0 1	0 1		禁用。 SFL模式使能。	
		标清有效视频长度					0 1				720像素 710 (NTSC), 702 (PAL).	
		标清色度				0 1					色度使能。 色度禁用。	
		标清色同步			0 1						使能。 禁用。	
		标清彩条		0 1							使能。 禁用。	
		标清亮度/色度交换	0 1								DAC 2 = 亮度, DAC 3 = 色度。 DAC 2 = 色度, DAC 3 = 亮度。	
0x86	标清模式 寄存器5	NTSC颜色副载波调整(从输出 $\overline{\text{HSYNC}}$ 脉冲下降沿到色同步开始的延迟时间)							0 0 1 1	0 1 0 1	5.17 μs . 5.31 μs . 5.59 μs (必须符合Macrovision要求)。 保留。	0x02
		保留						0				
		标清EIA/CEA-861B同步兼容					0 1				使能。 禁用。	
		保留			0 0							
		标清水平/垂直计数器模式 ¹		0 1							更新场/行计数器。 场/行计数器自由运行。	
		标清RGB颜色交换 ²	0 1								正常。 颜色反转使能。	
0x87	标清模式 寄存器6	标清亮度和颜色比例控制								0 1	禁用。 使能。	0x00
		标清亮度比例饱和							0 1		禁用。 使能。	
		标清色调调整						0 1			禁用。 使能。	
		标清亮度					0 1				禁用。 使能。	
		标清亮度SSAF增益				0 1					禁用。 使能。	
		标清输入标准自动检测			0 1						禁用。 使能。	
		保留		0							0 must be written to this bit.	
		标清RGB输入使能 ²	0 1								标清YCrCb输入。 标清RGB输入。	

¹ 设为0时, 水平/垂直计数器自动在所选标准的行/场/帧结束时绕回。设为1时, 水平/垂直计数器自由运行, 在外部同步信号要求下绕回。

² 仅ADV7392/ADV7393(40引脚器件)提供。

ADV7390/ADV7391/ADV7392/ADV7393

表29. 寄存器0x88至寄存器0x89

SR7至 SR0	寄存器	位功能描述	位号								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x88	标清模式寄存器7	保留								0		0x00
		标清非隔行模式							0 1		禁用。 使能。	
		标清双缓冲						0 1			禁用。 使能。	
		标清输入格式				0 0 1 1	0 1 0 1				8位YCbCr输入。 16位YCbCr输入 ¹ 。 10位YCbCr/16位标清RGB输入 ¹ 。 保留。	
		标清数字降噪			0 1						禁用。 使能。	
		标清伽玛校正使能		0 1							禁用。 使能。	
		标清伽玛校正曲线选择	0 1								伽玛校正曲线A。 伽玛校正曲线B。	
0x89	标清模式寄存器8	标清欠冲限幅器							0 0 1 1	0 1 0 1	禁用。 -11 IRE。 -6 IRE。 -1.5 IRE。	0x00
		保留						0			必须将0写入此位。	
		保留					0				保留。	
		标清色度延迟			0 0 1 1	0 1 0 1					禁用。 4时钟周期。 8时钟周期。 保留。	
		保留	0	0							必须将0写入此位。	

¹ 仅ADV7392/ADV7393(40引脚器件)提供。

表30. 寄存器0x8A至寄存器0x98

SR7至 SR0	寄存器	位功能描述	位号 ¹							寄存器设置	复位值	
			7	6	5	4	3	2	1			0
0x8A	标清时序寄存器0	标清从机/主机模式								0 1	从机模式。 主机模式。	0x08
		标清时序模式					0 0 1 1	0 1 0 1	模式0。 模式1。 模式2。 模式3。			
		保留				1						
		标清亮度延迟			0 0 1 1	0 1 0 1				无延迟。 2时钟周期。 4时钟周期。 6时钟周期。		
		标清最小亮度值		0 1						-40 IRE。 -7.5 IRE。		
		标清时序复位	x							低高低转换将内部标清 时序计数器复位。		

ADV7390/ADV7391/ADV7392/ADV7393

SR7至SR0	寄存器	位功能描述	位号 ¹								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0x8B	标清时序寄存器1 注：仅适用于主机模式，即子地址0x8A位0=1。	标清 $\overline{\text{HSYNC}}$ 宽度							0	0	$t_a = 1$ 时钟周期。	0x00
									0	1	$t_a = 4$ 时钟周期。	
									1	0	$t_a = 16$ 时钟周期。	
									1	1	$t_a = 128$ 时钟周期。	
		标清 $\overline{\text{HSYNC}}$ 至 $\overline{\text{VSYNC}}$ 延迟时间					0	0			$t_b = 0$ 时钟周期。	
							0	1			$t_b = 4$ 时钟周期。	
							1	0			$t_b = 8$ 时钟周期。	
							1	1			$t_b = 18$ 时钟周期。	
		标清 $\overline{\text{HSYNC}}$ 至 $\overline{\text{VSYNC}}$ 上升沿延迟时间(仅模式1)			X ²	0					$t_c = t_b$ 。	
					X ²	1					$t_c = t_b + 32 \mu\text{s}$ 。	
		标清 $\overline{\text{VSYNC}}$ 宽度(仅模式2)			0	0					1时钟周期。	
					0	1					4时钟周期。	
					1	0					16时钟周期。	
					1	1					128时钟周期。	
		标清 $\overline{\text{HSYNC}}$ 至像素数据调整	0	0							0时钟周期。	
			0	1							1时钟周期。	
			1	0							2时钟周期。	
			1	1							3时钟周期。	
0x8C	标清F _{sc} 寄存器0 ³	副载波频率位[7:0]	x	x	x	x	x	x	x	x	副载波频率位[7:0]。	0x1F
0x8D	标清F _{sc} 寄存器1 ³	副载波频率位[15:8]	x	x	x	x	x	x	x	x	副载波频率位[15:8]。	0x7C
0x8E	标清F _{sc} 寄存器2 ³	副载波频率位[23:16]	x	x	x	x	x	x	x	x	副载波频率位[23:16]。	0xF0
0x8F	标清F _{sc} 寄存器3 ³	副载波频率位[31:24]	x	x	x	x	x	x	x	x	副载波频率位[31:24]。	0x21
0x90	标清Fsc相位	副载波相位位[9:2]	x	x	x	x	x	x	x	x	副载波相位位[9:2]。	0x00
0x91	标清隐藏字幕	偶数场上的扩展数据	x	x	x	x	x	x	x	x	扩展数据位[7:0]。	0x00
0x92	标清隐藏字幕	偶数场上的扩展数据	x	x	x	x	x	x	x	x	扩展数据位[15:8]。	0x00
0x93	标清隐藏字幕	奇数场上的数据	x	x	x	x	x	x	x	x	数据位[7:0]。	0x00
0x94	标清隐藏字幕	奇数场上的数据	x	x	x	x	x	x	x	x	数据位[15:8]。	0x00
0x95	标清基底寄存器0	奇数场上的基底	17	16	15	14	13	12	11	10	如果任一位设为1，则位设置所表示的行号上的基底将被禁用。	0x00
0x96	标清基底寄存器1	奇数场上的基底	25	24	23	22	21	20	19	18		0x00
0x97	标清基底寄存器2	偶数场上的基底	17	16	15	14	13	12	11	10		0x00
0x98	标清基底寄存器3	偶数场上的基底	25	24	23	22	21	20	19	18		0x00

¹ x = 逻辑0或逻辑1。

² X = 无关。

³ 标清副载波频率寄存器默认为NTSC副载波频率值。

ADV7390/ADV7391/ADV7392/ADV7393

表31. 寄存器0x99至寄存器0xA5

SR7至 SR0	寄存器	位功能描述	位号 ¹							寄存器设置	复位值			
			7	6	5	4	3	2	1			0		
0x99	标清CGMS/WSS 0	标清CGMS数据					x	x	x	x	CGMS数据位[C19:C16]	0x00		
		标清CGMS CRC				0 1					禁用 使能			
		奇数场上的标清CGMS			0 1						禁用 使能			
		偶数场上的标清CGMS		0 1							禁用 使能			
		标清WSS	0 1								禁用 使能			
0x9A	标清CGMS/WSS 1	标清CGMS/WSS数据			x	x	x	x	x	x	CGMS数据位[C13:C8]或 WSS数据位[W13:W8]	0x00		
		标清CGMS数据	x	x							CGMS数据位[C15:C14]			
0x9B	标清CGMS/WSS 2	标清CGMS/WSS数据	x	x	x	x	x	x	x	x	CGMS数据位[C7:C0]或WSS 数据位[W7:W0]	0x00		
0x9C	标清比例LSB	标清Y比例值的LSB							x	x	标清Y比例位[1:0]	0x00		
		标清Cb比例值的LSB					x	x			标清Cb比例位[1:0]			
		标清Cr比例值的LSB			x	x					标清Cr比例位[1:0]			
		标清F _{sc} 相位的LSB	x	x							副载波相位位[1:0]			
0x9D	标清Y比例	标清Y比例值	x	x	x	x	x	x	x	x	标清Y比例位[9:2]	0x00		
0x9E	标清Cb比例	标清Cb比例值	x	x	x	x	x	x	x	x	标清Cb比例位[9:2]	0x00		
0x9F	标清Cr比例	标清Cr比例值	x	x	x	x	x	x	x	x	标清Cr比例位[9:2]	0x00		
0xA0	标清色调调整	标清色调调整值	x	x	x	x	x	x	x	x	标清色调调整位[7:0]	0x00		
0xA1	标清亮度/WSS	标清亮度值		x	x	x	x	x	x	x	标清亮度位[6:0]	0x00		
		标清空白WSS数据	0 1								禁用 使能			
0xA2	标清亮度SSAF	标清亮度SSAF增益/衰减(仅当 子地址0x87位4 = 1时适用)					0 ... 0 ... 1	0 ... 1 ... 1	0 ... 1 ... 0	0 ... 0 ... 0	-4 dB ... 0 dB ... +4 dB	0x00		
		保留	0	0	0	0								
		标清DNR 0	降噪增益边界(DNR模式下适用 方括号中的值)					0 0 0 0 0 0 0 0 1	0 0 0 0 1 1 1 1 0	0 0 1 1 0 0 1 1 1	0 1 0 1 0 0 0 0 0		无增益 +1/16 [-1/8] +2/16 [-2/8] +3/16 [-3/8] +4/16 [-4/8] +5/16 [-5/8] +6/16 [-6/8] +7/16 [-7/8] +8/16 [-1]	0x00
			降噪增益数据(DNR模式下适用 方括号中的值)	0 0 0 0 0 0 0 0 1	0 0 0 0 1 1 1 1 0	0 1 0 0 1 1 1 1 0					无增益 +1/16 [-1/8] +2/16 [-2/8] +3/16 [-3/8] +4/16 [-4/8] +5/16 [-5/8] +6/16 [-6/8] +7/16 [-7/8] +8/16 [-1]			

ADV7390/ADV7391/ADV7392/ADV7393

SR7至 SR0	寄存器	位功能描述	位号 ¹								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0xA4	标清DNR 1	DNR阈值			0	0	0	0	0	0	0	0x00
					0	0	0	0	0	1	1	
					...	...	...	...	...	...	...	
					1	1	1	1	1	0	62	
					1	1	1	1	1	1	63	
		边界区域		0							2像素	
				1							4像素	
		块大小	0								8像素	
			1								16像素	
0xA5	标清DNR 2	DNR输入选择						0	0	1	滤波器A	0x00
								0	1	0	滤波器B	
								0	1	1	滤波器C	
								1	0	0	滤波器D	
		DNR模式					0				DNR模式	
							1				DNR锐度模式	
		DNR块偏移	0	0	0	0					0像素偏移	
			0	0	0	1					1像素偏移	
			...	...	...	...					...	
			1	1	1	0					14像素偏移	
			1	1	1	1					15像素偏移	

¹ x = 逻辑0或逻辑1。

表32. 寄存器0xA6至寄存器0xBB

SR7至 SR0	寄存器	位功能描述	位号 ¹								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0xA6	标清伽玛A0	标清伽玛曲线A(点24)	x	x	x	x	x	x	x	x	A0	0x00
0xA7	标清伽玛A1	标清伽玛曲线A(点32)	x	x	x	x	x	x	x	x	A1	0x00
0xA8	标清伽玛A2	标清伽玛曲线A(点48)	x	x	x	x	x	x	x	x	A2	0x00
0xA9	标清伽玛A3	标清伽玛曲线A(点64)	x	x	x	x	x	x	x	x	A3	0x00
0xAA	标清伽玛A4	标清伽玛曲线A(点80)	x	x	x	x	x	x	x	x	A4	0x00
0xAB	标清伽玛A5	标清伽玛曲线A(点96)	x	x	x	x	x	x	x	x	A5	0x00
0xAC	标清伽玛A6	标清伽玛曲线A(点128)	x	x	x	x	x	x	x	x	A6	0x00
0xAD	标清伽玛A7	标清伽玛曲线A(点160)	x	x	x	x	x	x	x	x	A7	0x00
0xAE	标清伽玛A8	标清伽玛曲线A(点192)	x	x	x	x	x	x	x	x	A8	0x00
0xAF	标清伽玛A9	标清伽玛曲线A(点224)	x	x	x	x	x	x	x	x	A9	0x00
0xB0	标清伽玛B0	标清伽玛曲线B(点24)	x	x	x	x	x	x	x	x	B0	0x00
0xB1	标清伽玛B1	标清伽玛曲线B(点32)	x	x	x	x	x	x	x	x	B1	0x00
0xB2	标清伽玛B2	标清伽玛曲线B(点48)	x	x	x	x	x	x	x	x	B2	0x00
0xB3	标清伽玛B3	标清伽玛曲线B(点64)	x	x	x	x	x	x	x	x	B3	0x00
0xB4	标清伽玛B4	标清伽玛曲线B(点80)	x	x	x	x	x	x	x	x	B4	0x00
0xB5	标清伽玛B5	标清伽玛曲线B(点96)	x	x	x	x	x	x	x	x	B5	0x00
0xB6	标清伽玛B6	标清伽玛曲线B(点128)	x	x	x	x	x	x	x	x	B6	0x00
0xB7	标清伽玛B7	标清伽玛曲线B(点160)	x	x	x	x	x	x	x	x	B7	0x00
0xB8	标清伽玛B8	标清伽玛曲线B(点192)	x	x	x	x	x	x	x	x	B8	0x00
0xB9	标清伽玛B9	标清伽玛曲线B(点224)	x	x	x	x	x	x	x	x	B9	0x00
0xBA	标清亮度检测	标清亮度值	x	x	x	x	x	x	x	x	只读	0xFF

ADV7390/ADV7391/ADV7392/ADV7393

SR7至 SR0	寄存器	位功能描述	位号 ¹							寄存器设置	复位值	
			7	6	5	4	3	2	1			0
0xBB	场计数	场计数						x	x	x	只读	0x0X
		保留			0	0	0				保留	
		编码器版本代码	0	0							只读； 第一编码器版本 ²	
			0	1							只读； 第二编码器版本	

¹ x = 逻辑0或逻辑1。

² 有关第一编码器版本的信息，参见高清隔行外部HSYNC和VSYNC考虑部分。

表33. 寄存器0xC9至寄存器0xCE

SR7至 SR0	寄存器	位功能描述	位号								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0xC9	图文电视控制	图文电视使能								0 1	禁用。 使能。	0x00
		图文电视请求模式							0 1	行请求信号。 位请求信号。		
		图文电视输入引脚 选择 ¹					0 1			VSYNC. P0.		
		保留	0	0	0	0	0				保留。	
0xCA	图文电视请求控制	图文电视请求下降沿 位置控制					0 0 ... 1 1	0 0 ... 1 1	0 0 ... 1 1	0 1 ... 0 1	0时钟周期。 1时钟周期。 14时钟周期。 15时钟周期。	0x00
		图文电视请求上升沿 位置控制	0 0 ... 1 1	0 0 ... 1 1	0 1 ... 0 1					0时钟周期。 1时钟周期。 14时钟周期。 15时钟周期。		
0xCB	TTX行使能0	奇数场上的图文电视	22	21	20	19	18	17	16	15	如果任一位设为1，则位 设置所表示的行号上的 图文电视将使能。	0x00
0xCC	TTX行使能1	奇数场上的图文电视	14	13	12	11	10	9	8	7		0x00
0xCD	TTX行使能2	偶数场上的图文电视	22	21	20	19	18	17	16	15		0x00
0xCE	TTX行使能3	偶数场上的图文电视	14	13	12	11	10	9	8	7		0x00

¹ 仅ADV7392/ADV7393(40引脚器件)可以将P0用作图文电视输入引脚。

表34. 寄存器0xE0至寄存器0xF1

SR7至 SR0	寄存器 ²	位功能描述	位号 ¹								寄存器设置	复位值
			7	6	5	4	3	2	1	0		
0xE0	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xE1	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xE2	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xE3	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xE4	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xE5	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xE6	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xE7	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xE8	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xE9	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xEA	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xEB	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xEC	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xED	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xEE	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xEF	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xF0	Macrovision	MV控制位	x	x	x	x	x	x	x	x		0x00
0xF1	Macrovision	MV控制位	0	0	0	0	0	0	0	x	位[7:1]必须为0。	0x00

¹ x = 逻辑0或逻辑1。
² 仅ADV7390和ADV7392提供Macrovision寄存器。

ADV7390/ADV7391输入配置

ADV7390/ADV7391支持多种不同的输入模式。所需的输入模式通过子地址0x01位[6:4]进行选择。ADV7390/ADV7391上电之后，默认进入标清(SD)模式。表35列出了所有可能的输入配置。本节将详细说明各种输入模式。请注意，WLCSP封装仅支持标清模式，如图51所示。

表35. ADV7390/ADV7391输入配置

输入模式	P7	P6	P5	P4	P3	P2	P1	P0
000 SD								YCrCb
010 ED/HD-DDR								YCrCb
111 ED (at 54 MHz)								YCrCb

标清

子地址0x01位[6:4] = 000

标清YCrCb数据可以4:2:2交错格式通过27 MHz的8位总线输入。CLKIN引脚上必须提供27 MHz时钟信号。如果需要，可以在HSYNC和VSYNC引脚上提供外部同步信号。

同时支持嵌入式EAV/SAV时序码。支持ITU-R BT.601/656输入标准。交错像素数据通过引脚P7至P0输入，引脚P0为LSB。

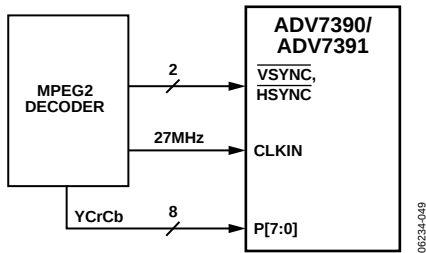


图51. 标清示例应用

增清/高清

子地址0x01位[6:4] = 010

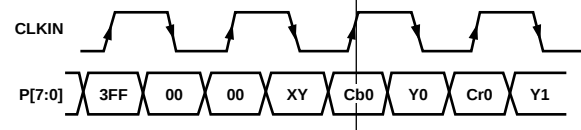
增清(ED)或高清(HD) YCrCb数据可以4:2:2交错格式通过8位DDR总线输入。CLKIN引脚上必须提供时钟信号。如果需要，可以在HSYNC和VSYNC引脚上提供外部同步信号。同时支持嵌入式EAV/SAV时序码。

8位4:2:2增清/高清YCrCb模式(DDR)

在8位DDR 4:2:2 YCrCb输入模式下，Y像素数据在CLKIN的上升或下降沿通过引脚P7至P0输入，引脚P0为LSB。

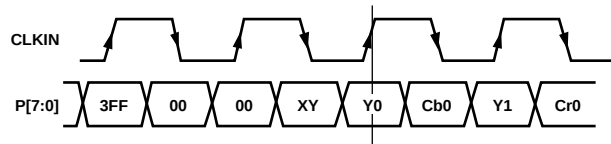
CrCb像素数据在CLKIN的相反沿也通过引脚P7至P0输入，引脚P0为LSB。

子地址0x01位[2:1]决定Y数据是在CLKIN的上升沿还是下降沿输入(见图52和图53)。



NOTES
1. SUBADDRESS 0x01 [2:1] SHOULD BE SET TO 00 IN THIS CASE.

图52. ED/HD-DDR输入序列(EAV/SAV)—选项A



NOTES
1. SUBADDRESS 0x01 [2:1] SHOULD BE SET TO 11 IN THIS CASE.

图53. ED/HD-DDR输入序列(EAV/SAV)—选项B

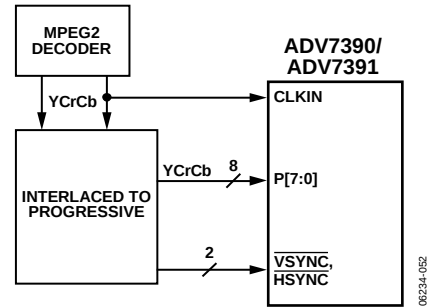


图54. ED/HD-DDR示例应用

增清(54 MHz)

子地址0x01位[6:4] = 111

增清YCrCb数据可以4:2:2交错格式通过54 MHz的8位总线输入。

CLKIN引脚上必须提供54 MHz时钟信号。支持嵌入式EAV/SAV时序码。此模式不支持外部同步信号。

交错像素数据通过引脚P7至P0输入，引脚P0为LSB。

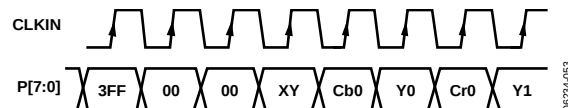


图55. ED (54 MHz)输入序列(EAV/SAV)

ADV7392/ADV7393输入配置

ADV7392/ADV7393支持多种不同的输入模式。所需的输入模式通过子地址0x01位[6:4]进行选择。ADV7392/ADV7393上电之后，默认进入标清(SD)模式。表36列出了所有可能的输入配置。本节将详细说明各种输入模式。

标清

子地址0x01位[6:4] = 000

标清YCrCb数据可以4:2:2格式通过8位、10位或16位总线输入。标清RGB数据可以4:4:4格式通过16位总线输入。

CLKIN引脚上必须提供27 MHz时钟信号。如果需要，可以在HSYNC和VSYNC引脚上提供外部同步信号。8位和10位模式同时支持嵌入式EAV/SAV时序码。

8位4:2:2 YCrCb模式

子地址0x87位7 = 0;

子地址0x88位[4:3] = 00

在8位4:2:2 YCrCb输入模式下，交错像素数据通过引脚P15至P8输入，引脚P8为LSB。支持ITU-R BT.601/656输入标准。

10位4:2:2 YCrCb模式

子地址0x87位7 = 0;

子地址0x88位[4:3] = 10

在10位4:2:2 YCrCb输入模式下，交错像素数据通过引脚P15至P6输入，引脚P6为LSB。支持ITU-R BT.601/656输入标准。

16位4:2:2 YCrCb模式

子地址0x87位7 = 0;

子地址0x88位[4:3] = 01

在16位4:2:2 YCrCb输入模式下，Y像素数据通过引脚P15至P8输入，引脚P8为LSB。

CrCb像素数据通过引脚P7至P0输入，引脚P0为LSB。

像素数据的更新速率为时钟速率的一半，即13.5 MHz(见图5)。

16位4:4:4 RGB模式

标清RGB模式不支持嵌入式EAV/SAV时序代码。此外，标清RGB输入模式不支持主机时序模式，因此必须使用外部同步。

子地址0x87位7 = 1

在16位4:4:4 RGB输入模式下，红色像素数据通过引脚P4至P0输入，绿色像素数据通过引脚P10至P5输入；蓝色像素数据通过引脚P15至P11输入。引脚P0、P5和P11为相应的总线LSB。

像素数据的更新速率为时钟速率的一半，即13.5 MHz(见图6)。

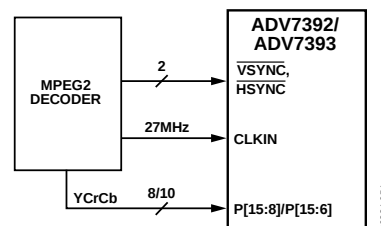


图56. 标清示例应用

表36. ADV7392/ADV7393输入配置

输入模式 ¹		P15	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	P0
000	SD ²	标清RGB输入使能(0x87[7]) = 0															
	8位	YCrCb															
	10位	YCrCb															
	16位 ³	Y								CrCb							
		标清RGB输入使能(1x87[7]) = 0															
	16位 ³	B				G				R							
001	ED/HD-SDR (16位)	Y								CrCb							
010	ED/HD-DDR ⁴	增清/高清输入格式(0x33[2]) = 0															
	8位	YCrCb															
		增清/高清输入格式(0x33[2]) = 1															
	10位	YCrCb															
111	ED (at 54 MHz)	增清/高清输入格式(0x33[2]) = 0															
	8位	YCrCb															
		增清/高清输入格式(0x33[2]) = 1															
	10位	YCrCb															

¹ 输入模式由子地址0x01位[6:4]决定。

² 标清模式下，输入数据的宽度由子地址0x88位[4:3]决定。

³ 此输入模式必须使用外部同步信号。不支持嵌入式EAV/SAV时序码。

⁴ ED = 增清 = 525p和625p。

ADV7390/ADV7391/ADV7392/ADV7393

增清/高清

子地址0x01位[6:4] = 001或010

增清或高清YCrCb数据可以4:2:2格式通过8/10位DDR总线或16位SDR总线输入。

CLKIN引脚上必须提供时钟信号。如果需要，可以在HSYNC和VSYNC引脚上提供外部同步信号。同时支持嵌入式EAV/SAV时序码。

16位4:2:2 YCrCb模式(SDR)

在16位4:2:2 YCrCb输入模式下，Y像素数据通过引脚P15至P8输入，引脚P8为LSB。

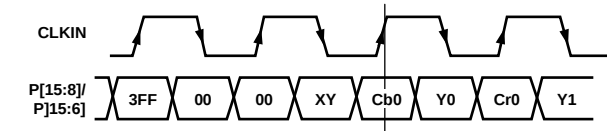
CrCb像素数据通过引脚P7至P0输入，引脚P0为LSB。

8/10位4:2:2 YCrCb模式(DDR)

在8/10位DDR 4:2:2 YCrCb输入模式下，Y像素数据在CLKIN的上升或下降沿通过引脚P15至P8/P6输入，引脚P8/P6为LSB。

CrCb像素数据在CLKIN的相反沿也通过引脚P15至P8/P6输入，引脚P8/P6为LSB。

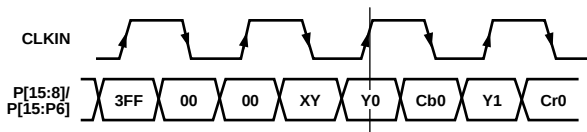
10位模式通过子地址0x33位2使能。子地址0x01位[2:1]决定Y数据是在CLKIN的上升沿还是下降沿输入(见图57和图58)



NOTES
1. SUBADDRESS 0x01 [2:1] SHOULD BE SET TO 00 IN THIS CASE.
2. 10-BIT MODE IS ENABLED USING SUBADDRESS 0x33, BIT 2.

06234-055

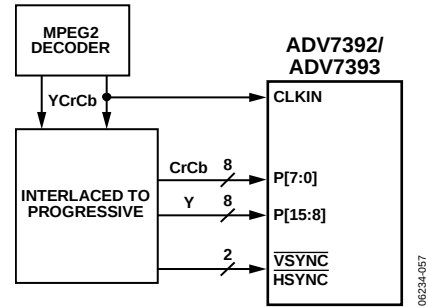
图57. ED/HD-DDR输入序列(EAV/SAV)—选项A



NOTES
1. SUBADDRESS 0x01 [2:1] SHOULD BE SET TO 11 IN THIS CASE.
2. 10-BIT MODE IS ENABLED USING SUBADDRESS 0x33, BIT 2.

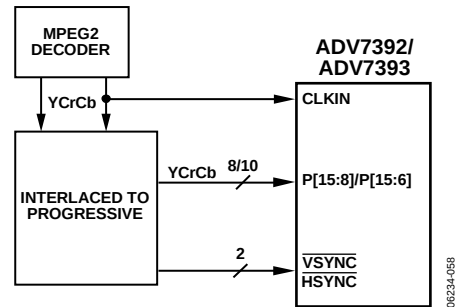
06234-056

图58. ED/HD-DDR输入序列(EAV/SAV)—选项B



06234-057

图59. ED/HD-SDR示例应用



06234-058

图60. ED/HD-DDR示例应用

增清(54 MHz)

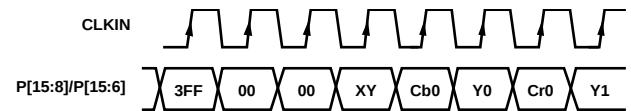
子地址0x01位[6:4] = 111

增清YCrCb数据可以4:2:2交错格式通过54 MHz的8/10位总线输入。

CLKIN引脚上必须提供54 MHz时钟信号。支持嵌入式EAV/SAV时序码。此模式不支持外部同步信号。

交错像素数据通过引脚P15至P8/P6输入，引脚P8/P6为LSB。

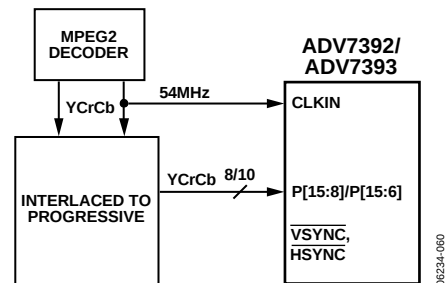
10位模式通过子地址0x33位2使能。



NOTES
1. 10-BIT MODE IS ENABLED USING SUBADDRESS 0x33, BIT 2.

06234-059

图61. ED (54 MHz)输入序列(EAV/SAV)



06234-060

图62. ED (54 MHz)示例应用

输出配置

ADV739x支持多种不同的输出配置。表37至表39列出了所有可能的输出配置。

表37. 标清输出配置

RGB/YPrPb输出选择 ¹ (子地址0x02位5)	标清DAC输出1 (子地址0x82位1)	标清亮度/色度交换 (子地址0x84位7)	DAC 1	DAC 2	DAC 3
0	0	0	G	B	R
1	0	0	Y	Pb	Pr
1	1	0	CVBS	亮度	色度
1	1	1	CVBS	色度	亮度

¹ 如果选择标清RGB输出，可以通过子地址0x86位7实现颜色反转。

表38. 增清/高清输出配置

RGB/YPrPb输出选择 (子地址0x02位5)	增清/高清颜色DAC交换 (子地址0x35位3)	DAC 1	DAC 2	DAC 3
0	0	G	B	R
0	1	G	R	B
1	0	Y	Pb	Pr
1	1	Y	Pr	Pb

表39. 增清(54 MHz)输出配置

RGB/YPrPb输出选择 (子地址0x02位5)	增清/高清颜色DAC交换 (子地址0x35位3)	DAC 1	DAC 2	DAC 3
0	0	G	B	R
0	1	G	R	B
1	0	Y	Pb	Pr
1	1	Y	Pr	Pb

ADV7390/ADV7391/ADV7392/ADV7393

设计特性

输出过采样

ADV739x包括一个片内锁相环(PLL)，支持对标清、增清和高清视频数据进行过采样。PLL默认禁用，可通过设置子地址0x00位1 = 0使能。

表40列出了ADV739x支持的各种过采样速率。

外部同步极性

对于标清和增清/高清模式，ADV739x器件通常期望HS和VS在各自的消隐期间处于低电平。然而，当CEA861兼容

位使能时(增清/高清模式为0x39位[5]，标清模式为0x86位[3])，器件期望HS或VS处于低电平或高电平有效状态，具体取决于所选的输入格式(0x30位[7:3])。如果增清/高清模式要求默认极性以外的其它极性，可以利用0x3A位[2:0]使PHSYNCB、PVSYNCB或PBLANKB反转，这与是否使能CEA-861-B模式无关。S_HSYNC或S_VSYNC无法反转。

表40. 输出过采样模式和速率

输入模式 (0x01位[6:4])		PLL和过采样控制 (0x00位1)	标清/增清过采样速率选择 (0x0D位3) ¹	高清过采样速率选择 (0x31位1) ¹	过采样模式和速率
000	SD	1	X	X	SD (2×)
000	SD	0	1	X	SD (8×)
000	SD	0	0	X	SD (16×)
001/010	ED	1	X	X	ED (1×)
001/010	ED	0	1	X	ED (4×)
001/010	ED	0	0	X	ED (8×)
001/010	HD	1	X	X	HD (1×)
001/010	HD	0	X	1	HD (2×)
001/010	HD	0	X	0	HD (4×)
111	ED (54 MHz)	1	X	X	ED (54 MHz) (1×)
111	ED (54 MHz)	0	1	X	ED (54 MHz) (4×)
111	ED (54 MHz)	0	0	X	ED (54 MHz) (8×)

¹ X = 无关

高清隔行外部HSYNC和VSYNC考虑

如果编码器版本代码(子地址0xBB位[7:6])为01或更高,则用户应将子地址0x02位1设为高电平,以确保在高清隔行模式下使用HSYNC和VSYNC同步信号时时序完全正确。如果将此位设为低电平,则在高清隔行模式下,每行的第一个有效像素被屏蔽,并且当使用YCrCb 4:2:2输入格式时,Pr和Pb输出交换。将子地址0x02位1设为低电平时,编码器的工作方式与第一版芯片相同(即此设置为向后兼容设置)。如果编码器版本代码(子地址0xBB位[7:6])为00,则子地址0x02位1的设置不起作用。对于此版本的编码器,当使用YCrCb 4:2:2输入格式时,第一个有效像素被屏蔽,Pr和Pb输出交换。为避免这些限制,请使用新版芯片或使用不同类型的同步。

这些考虑因素仅适用于采用外部HSYNC和VSYNC同步的高清隔行模式(EAV/SAV模式不受影响,始终具有完全正确的时序)。

将子地址0x02位0设为高电平没有副作用,而且对于所有其它视频标准,此位可保持高电平状态。

增清/高清时序复位

子地址0x34位0

将增清/高清时序复位控制位(子地址0x34位0)置1时,可实现增清/高清时序复位。在这种状态下,水平和垂直计数器保持复位状态。将此位重新置0时,内部计数器恢复计数。此时序复位仅适用于增清/高清时序计数器。

标清副载波频率锁定

副载波频率锁定(SFL)模式

在副载波频率锁定(SFL)模式下(子地址0x84位[2:1] = 11), ADV739x可用于锁定外部视频源。SFL模式允许ADV739x自动变更副载波频率以补偿线长变化。当该器件连接到输出SFL格式数字数据流的器件(如视频解码器ADV7403等)时,该器件会逐行自动变更为经过补偿的副载波频率(见图63)。此数字数据流为67位宽,副载波包含于位0至位21中。每位的时长为2个时钟周期。

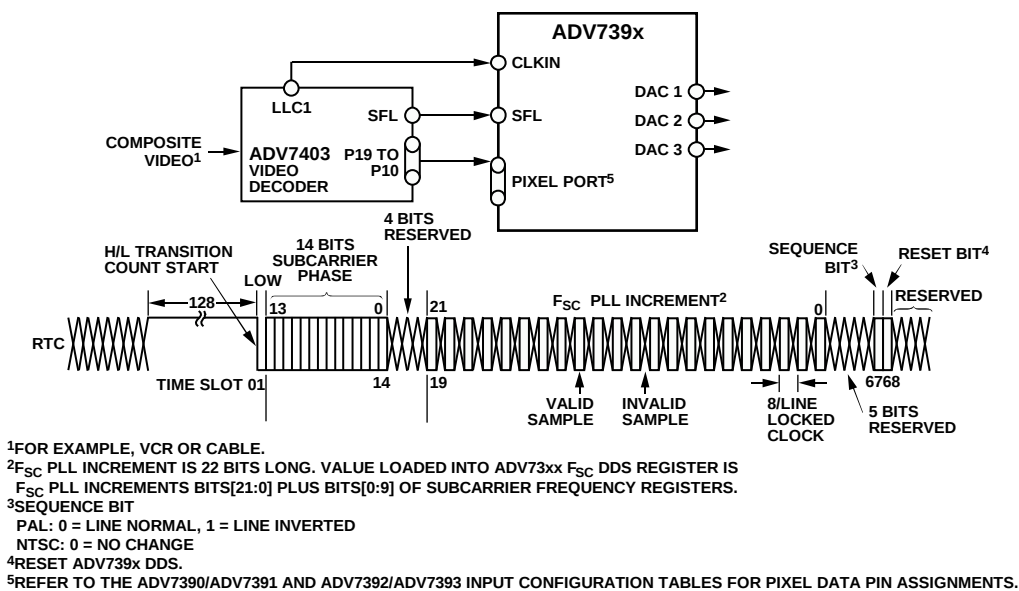


图63. 标清副载波频率锁定时序和连接图(子地址0x84位[2:1] = 11)

ADV7390/ADV7391/ADV7392/ADV7393

标清VCR FF/RW同步

子地址0x82位5

在编码器与解码器配合使用的DVD录制应用中，VCR FF/RW同步控制位可用于非标准输入视频，即快进或快退模式。

在快进模式下，输入视频中新场开始时的同步信息通常在达到正确行数/场数之前出现。在快退模式下，此同步信号通常在达到总行数/场数之后出现。一般来说，这表示输出视频存在损坏的场信号，因为一个信号由输入视频产生，另一个信号则是在内部行/场计数器达到场末尾时产生。

当VCR FF/RW同步控制使能时(子地址0x82位5)，如果模拟输出与 $\overline{\text{VSYNC}}$ 输入信号匹配，则行/场计数器根据 $\overline{\text{VSYNC}}$ 输入信号进行更新。除从机模式0之外的所有其它从机时序模式都可以使用该控制功能。

垂直消隐间隔

子地址0x31位4；子地址0x83位4

在标清、增清和高清模式下，ADV739x能够处理含有垂直消隐间隔(VBI)数据(如CGMS、WSS、VITS等)的输入数据。

如果VBI禁用(增清/高清为子地址0x31位4；标清为子地址0x83位4)，VBI数据不会出现在输出端，整个VBI消隐。这些控制位在所有主机和从机时序模式下均有效。

对于SMPTE 293M (525p)标准，VBI数据可以在各帧的行13至行42插入；对于ITU-R BT.1358 (625p)标准，VBI数据可以在行6至行43插入。VBI数据可以出现于行10至行20(NTSC)或者行7至行22(PAL)。

在标清时序模式0下(从机选项)，如果VBI使能，EAV/SAV码中的消隐位将被覆盖。在这种时序模式下也能使用VBI。

如果CGMS使能且VBI禁用，输出端仍会提供CGMS数据。

标清副载波频率控制

子地址0x8C至子地址0x8F

ADV739x能够从输入像素时钟产生CVBS和S视频(Y-C)输出所用的颜色副载波。4个8位寄存器用于设置副载波频率。这些寄存器的值通过下式计算：

$$\text{副载波频率寄存器} = \frac{\text{一条视频线的副载波周期数}}{\text{一条视频线的27 MHz时钟周期数}} \times 2^{32}$$

结果四舍五入为最接近的整数。

例如，在NTSC模式下：

$$\text{副载波寄存器值} = \left(\frac{227.5}{1716} \right) \times 2^{32} = 569408543$$

其中：

副载波寄存器值 = 569408543d = 0x21F07C1F

标清F_{sc}寄存器0：0x1F

标清F_{sc}寄存器1：0x7C

标清F_{sc}寄存器2：0xF0

标清F_{sc}寄存器3：0x21

F_{sc}编程

副载波频率寄存器值被分割为4个F_{sc}寄存器值，如上例所示。这四个副载波频率寄存器必须按顺序更新，从副载波频率寄存器0开始，至副载波频率寄存器3结束。只有在ADV739x收到最后一个副载波频率寄存器字节后，副载波频率才会更新。必须禁用标清输入标准自动检测特性。

典型F_{sc}值

针对NTSC和PAL B/D/G/H/I，表41列出了应当写入副载波频率寄存器的值。

表41. 典型F_{sc}值

子地址	描述	NTSC	PAL B/D/G/H/I
0x8C	F _{sc} 0	0x1F	0xCB
0x8D	F _{sc} 1	0x7C	0x8A
0x8E	F _{sc} 2	0xF0	0x09
0x8F	F _{sc} 3	0x21	0x2A

标清非隔行模式

子地址0x88位1

ADV739x支持标清非隔行模式。在这种模式下，ADV739x可以处理两倍于NTSC和PAL帧速率(分别为240p/59.94 Hz和288p/50 Hz)的逐行输入。通过设置子地址0x88位1可以使能标清非隔行模式。

CLKIN引脚上必须提供27 MHz时钟信号。嵌入式EAV/SAV时序码或者通过 $\overline{\text{HSYNC}}$ 和 $\overline{\text{VSYNC}}$ 引脚提供的外部水平和垂直同步信号可以用于同步输入像素数据。

NTSC和PAL模式下可用的所有输入配置、输出配置和特性均可在标清非隔行模式下使用。对于240p/59.94 Hz输入，应将ADV739x配置为NTSC工作模式，并将子地址0x88位1设置为1。

对于288p/50 Hz输入，应将ADV739x配置为PAL工作模式，并将子地址0x88位1设置为1。

标清方形像素模式

子地址0x82位4

ADV739x支持标清方形像素模式(子地址0x82位4)。NTSC工作模式要求24.5454 MHz的输入时钟，有效分辨率为640 × 480。PAL工作模式要求29.5 MHz的输入时钟，有效分辨率为768 × 576。

对于CVBS和S视频(Y-C)输出，必须更新标清副载波频率寄存器，以反映标清方形像素模式所用的输入时钟频率。在标清方形像素模式下，必须禁用标清输入标准自动检测特性。时序图见图64和图65。

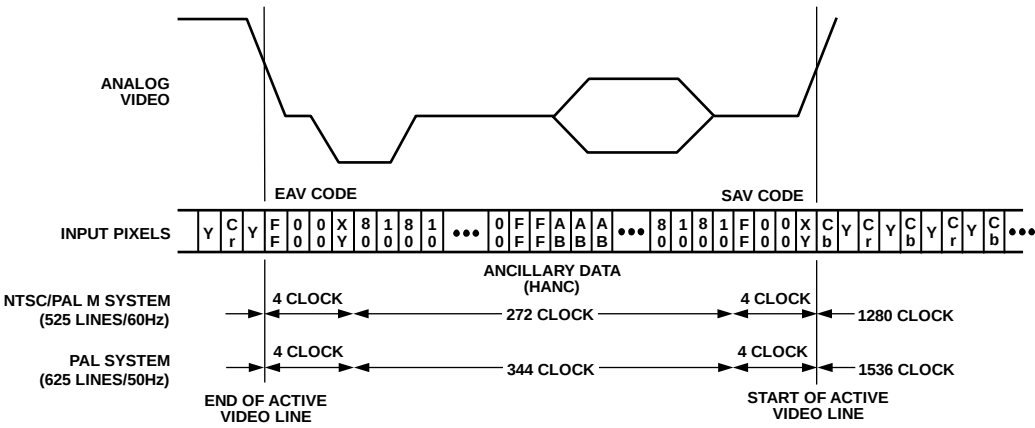


图64. 方形像素模式EAV/SAV嵌入式时序

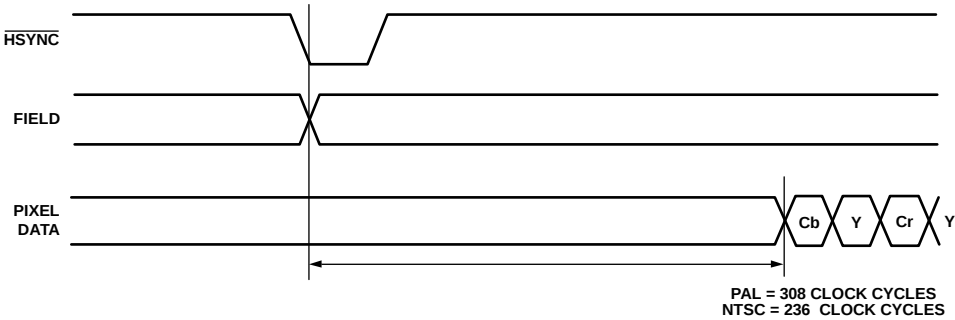


图65. 方形像素模式有效像素时序

ADV7390/ADV7391/ADV7392/ADV7393

滤波器

表42列出了ADV739x提供的可编程滤波器。

表42. 可选滤波器

滤波器	子地址
标清亮度LPF NTSC	0x80
标清亮度LPF PAL	0x80
标清亮度陷波NTSC	0x80
标清亮度陷波PAL	0x80
标清亮度SSAF	0x80
标清亮度CIF	0x80
标清亮度QCIF	0x80
标清色度0.65 MHz	0x80
标清色度1.0 MHz	0x80
标清色度1.3 MHz	0x80
标清色度2.0 MHz	0x80
标清色度3.0 MHz	0x80
标清色度CIF	0x80
标清色度QCIF	0x80
标清PrPb SSAF	0x82
增清/高清Sinc补偿滤波器	0x33
增清/高清色度SSAF	0x33

标清内部滤波器响应

子地址0x80位[7:2]；子地址0x82位0

Y滤波器支持多种不同的频率响应，包括2种低通响应、2种陷波响应、带或不带增益提升衰减的扩展(SSAF)响应、CIF响应和QCIF响应。PrPb滤波器支持多种不同的频率响应，包括6种低通响应、CIF响应和QCIF响应，如图38和图39所示。

如果标清亮度SSAF增益使能(子地址0x87位4)，则在-4 dB至+4 dB范围内有13个响应选项。所需的响应可通过子地址0xA2设置。频率响应的变化如图35至图37所示。

除了表42所列的色度滤波器之外，ADV739x还包括一个SSAF滤波器，它专门针对色差分量输出Pr和Pb而设计。此滤波器的截止频率约为2.7 MHz，3.8 MHz时增益为-40 dB(见图66)。此滤波器可通过子地址0x82位0进行控制。

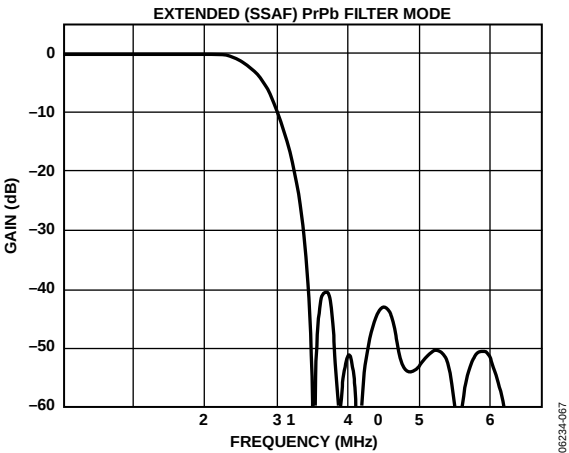


图66. PrPb SSAF滤波器

如果此滤波器禁用，则可以选择表43所列的色度滤波器之一，将其用于CVBS或亮度/色度信号。

表43. 内部滤波器规格

滤波器	通带纹波(dB) ¹	3 dB带宽(MHz) ²
亮度LPF NTSC	0.16	4.24
亮度LPF PAL	0.1	4.81
亮度陷波NTSC	0.09	2.3/4.9/6.6
亮度陷波PAL	0.1	3.1/5.6/6.4
亮度SSAF	0.04	6.45
亮度CIF	0.127	3.02
亮度QCIF	单调	1.5
色度0.65 MHz	单调	0.65
色度1.0 MHz	单调	1
色度1.3 MHz	0.09	1.395
色度2.0 MHz	0.048	2.2
色度3.0 MHz	单调	3.2
色度CIF	单调	0.65
色度QCIF	单调	0.5

¹ 通带纹波指通带中相对于0 dB响应的最大波动，用dB表示。通带定义为：对于低通滤波器，其频率限制为0 Hz至fc (Hz)；对于陷波滤波器，其频率限制为0 Hz至f1 (Hz)和f2 (Hz)至无限大，其中fc、f1和f2均为-3 dB点。
² 3 dB带宽指-3 dB截止频率。

增清/高清Sinc补偿滤波器响应

子地址0x33位3

在增清/高清模式下工作时，ADV739x的一个滤波器可以抵消DAC 1、DAC 2和DAC 3中的Sinc滚降的影响。此滤波器默认使能。通过设置子地址0x33位3可以将其禁用。此滤波器的作用如图67和图68所示。

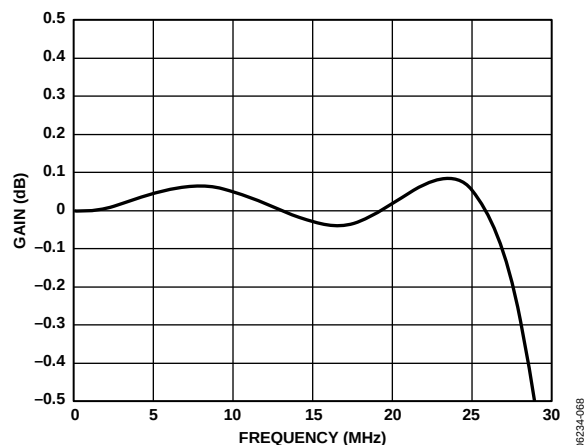


图67. 增清/高清Sinc补偿滤波器使能

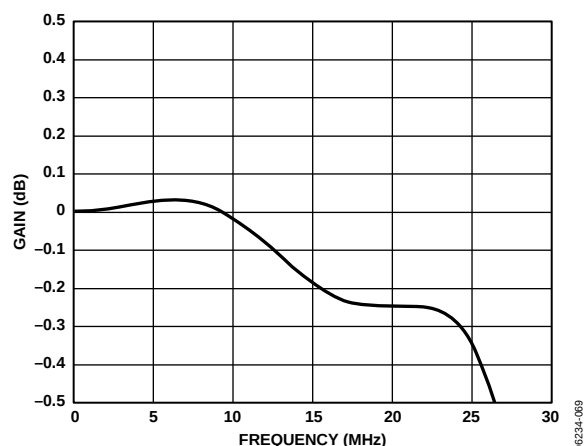


图68. 增清/高清Sinc补偿滤波器禁用

增清/高清测试图案颜色控制

子地址0x36至子地址0x38

位于子地址0x36至子地址0x38的三个8位寄存器用于设置内部增清/高清测试图案发生器(子地址0x31位2 = 1)的输出颜色，无论输出的是交叉阴影图案线还是均匀场测试图案线。这些寄存器不控制外部像素数据输入的颜色。

用于获得白色、黑色、饱和原色和补色的亮度(Y)和色差(Cr和Cb)信号的值符合ITU-R BT.601-4标准。

表44显示了输出标准选择设置为EIA770.2/EIA770.3时(子地址0x30位[1:0] = 00)，可以写入颜色寄存器的样色值。

表44. 针对EIA770.2/EIA770.3增清/高清输出标准选择的样色值

样色	Y值		Cr值		Cb值	
白色	235	(0xEB)	128	(0x80)	128	(0x80)
黑色	16	(0x10)	128	(0x80)	128	(0x80)
红色	81	(0x51)	240	(0xF0)	90	(0x5A)
绿色	145	(0x91)	34	(0x22)	54	(0x36)
蓝色	41	(0x29)	110	(0x6E)	240	(0xF0)
黄色	210	(0xD2)	146	(0x92)	16	(0x10)
青色	170	(0xAA)	16	(0x10)	166	(0xA6)
品红	106	(0x6A)	222	(0xDE)	202	(0xCA)

颜色空间转换矩阵

子地址0x03至子地址0x09

内部颜色空间转换(CSC)矩阵根据模式选择寄存器(子地址0x01位[6:4])所设置的输入模式自动执行所有颜色空间转换。表45和表46显示此矩阵可用的选项。

ADV7392/ADV7393可以执行从RGB输入到YPrPb输出的标清颜色空间转换，但无法执行从RGB输入到YPrPb输出的增清/高清颜色空间转换。

表45. 标清颜色空间转换选项

输入	输出 ¹	YPrPb/RGB输出 (子地址0x02位5)	RGB/YCrCb输入 (子地址0x87位7)
YCrCb	YPrPb	1	0
YCrCb	RGB	0	0
RGB ²	YPrPb	1	1
RGB ²	RGB	0	1

¹ CVBS/Y-C输出可用于所有CSC组合。

² 仅ADV7392/ADV7393(40引脚器件)提供。

表46. 增清/高清颜色空间转换选项

输入	输出	YPrPb/RGB输出 (子地址0x02位5)
YCrCb	YPrPb	1
YCrCb	RGB	0

标清手动CSC矩阵调整特性

标清手动CSC矩阵调整特性(仅ADV7392和ADV7393提供)针对RGB转YPbPr提供定制系数操纵功能(对于YPbPr转RGB，此矩阵调整特性不可用)。

一般而言，CSC矩阵根据所选的输出颜色空间(见表47)自动执行颜色空间转换，因而无需修改标清矩阵系数。注意，子地址0x87位7必须置1以使能RGB输入，从而使用CSC手动调整。

ADV7390/ADV7391/ADV7392/ADV7393

标清CSC矩阵标量使用下列公式：

$$Y = (a1 \times R) + (a2 \times G) + (a3 \times B) + a4$$

$$Pr = (b1 \times R) + (b2 \times G) + (b3 \times B) + b4$$

$$Pb = (c1 \times R) + (c2 \times G) + (c3 \times B) + c4$$

系数及其默认值位于表47所示的寄存器中。

表47. 标清手动CSC矩阵默认值

系数	子地址	默认值
a1	0xBD	0x42
a2	0xBE	0x81
a3	0xBF	0x19
a4	0xC0	0x10
b1	0xC1	0x70
b2	0xC2	0x5E
b3	0xC3	0x12
b4	0xC4	0x80
c1	0xC5	0x26
c2	0xC6	0x4A
c3	0xC7	0x70
c4	0xC8	0x80

增清/高清手动CSC矩阵调整特性

增清/高清手动CSC矩阵调整特性针对颜色空间转换提供定制系数操纵功能，仅适用于增清和高清模式。通过设置子地址0x02位3可以使能增清/高清手动CSC矩阵调整特性。

一般而言，CSC矩阵根据所选的输入模式(增清或高清)和输出颜色空间(见表46)自动执行颜色空间转换，因而无需使能此特性。因此，增清/高清手动CSC矩阵调整特性默认禁用。

如果选择RGB输出，则增清/高清CSC矩阵标量使用下列公式：

$$R = GY \times Y + RV \times Pr$$

$$G = GY \times Y - (GU \times Pb) - (GV \times Pr)$$

$$B = GY \times Y + BU \times Pb$$

注意，减法通过硬件实现。

如果选择YprPb输出，则使用下列公式：

$$Y = GY \times Y$$

$$Pr = RV \times Pr$$

$$Pb = BU \times Pb$$

其中：

GY = 子地址0x05位[7:0]和子地址0x03位[1:0]。

GU = 子地址0x06位[7:0]和子地址0x04位[7:6]。

GV = 子地址0x07位[7:0]和子地址0x04位[5:4]。

BU = 子地址0x08位[7:0]和子地址0x04位[3:2]。

RV = 子地址0x09位[7:0]和子地址0x04位[1:0]

上电时，CSC矩阵用表48所列的默认值进行设置。

表48. 增清/高清手动CSC矩阵默认值

子地址	默认值
0x03	0x03
0x04	0xF0
0x05	0x4E
0x06	0x0E
0x07	0x24
0x08	0x92
0x09	0x7C

当增清/高清手动CSC矩阵调整特性使能时，子地址0x03至0x09的默认系数值仅适用于高清颜色空间。颜色分量根据下列1080i和720p标准(SMPTE 274M、SMPTE 296M)进行转换：

$$R = Y + 1.575Pr$$

$$G = Y - 0.468Pr - 0.187Pb$$

$$B = Y + 1.855Pb$$

转换系数在写入增清/高清CSC矩阵寄存器之前，应乘以315。这已反映在以下默认值中： $GY = 0x13B$ ， $GU = 0x03B$ ， $GV = 0x093$ ， $BU = 0x248$ ， $RV = 0x1F0$ 。

如果使能增清/高清手动CSC矩阵调整特性并使用另一输入标准(例如增清)，则必须根据此输入标准颜色空间调整GY、GU、GV、BU和RV的值。用户应考虑到颜色分量转换可能使用不同的比例值。

例如，SMPTE 293M使用以下转换公式：

$$R = Y + 1.402Pr$$

$$G = Y - 0.714Pr - 0.344Pb$$

$$B = Y + 1.773Pb$$

可编程CSC矩阵用于外部增清/高清像素数据，当内部测试图案使能时，它不起作用。

CSC矩阵编程

如果在YCrCb转RGB的颜色空间转换时需要增清/高清CSC矩阵系数进行自定义操纵，须按照以下步骤操作：

- 1 使能增清/高清手动CSC矩阵调整特性(子地址0x02位3)。
- 2 将输出设置为RGB(子地址0x02位5)。
- 3 禁用PrPb同步(子地址0x35位2)。
- 4 使能RGB同步(可选)(子地址0x02位4)。

GY值控制绿色信号输出电平，BU值控制蓝色信号输出电平，RV值控制红色信号输出电平。

标清亮度和颜色比例控制

子地址0x9C至子地址0x9F

标清亮度和颜色比例控制特性使能后，可用来缩放标清Y、Cb和Cr输出电平。该特性可通过设置子地址0x87位0来使能。该特性影响所有标清输出信号，即CVBS、Y-C、YPrPb和RGB。

使能此特性后，三个10位寄存器(标清Y比例、标清Cb比例和标清Cr比例)可控制标清Y、Cb和Cr输出电平的缩放。标清Y比例寄存器含有用于缩放Y电平的比例因子，Y电平可缩放到其初始值的0.0至1.5倍。标清Cb比例寄存器和标清Cr比例寄存器分别含有用于缩放Cb和Cr电平的比例因子，Cb和Cr电平分别可缩放到其初始值的0.0至2.0倍。

需写入这些10位寄存器的值通过下式计算：

$$Y、Cb或Cr比例值 = 比例因子 \times 512$$

例如，如果比例因子为1.3，则：

$$Y、Cb或Cr比例值 = 1.3 \times 512 = 665.6$$

$$Y、Cb或Cr比例值 = 666(\text{四舍五入到最接近的整数})$$

子地址0x9C、标清比例LSB = 0x2A

子地址0x9D、标清Y比例寄存器 = 0xA6

子地址0x9E、标清Cb比例寄存器 = 0xA6

子地址0x9F、标清Cr比例寄存器 = 0xA6

缩放Y输出电平时，建议使能标清亮度比例饱和特性(子地址0x87位1)，以免Y输出电平过大。

标清色调调整控制

子地址0xA0

使能此特性后，标清色调调整控制寄存器(子地址0xA0)可用来调整标清复合和色度输出的色调。该特性可通过设置子地址0x87位2来使能。

子地址0xA0含有用于改变视频数据色调的位，该色调是指有效视频期间副载波的相位相对于色同步期间副载波的相位的变化。ADV739x提供 $\pm 22.5^\circ$ 的调整范围，调整增量为 0.17578125° 。正常工作时(零调整)，此寄存器设置为0x80。值0xFF和0x00分别是NTSC模式下可获得的调整上限和下限。值0xFF和0x01分别是PAL模式下可获得的调整上限和下限。

色调调整值通过如下公式计算：

$$\text{色调调整 } (^\circ) = 0.17578125^\circ (HCR_d - 128)$$

其中， HCR_d = 色调调整控制寄存器(十进制)。

例如，为将色调调整 $+4^\circ$ ，须将0x97写入色调调整控制寄存器。

$$\left(\frac{4}{0.17578125} \right) + 128 \approx 151d = 0x97$$

结果四舍五入为最接近的整数。

为将色调调整 -4° ，须将0x69写入色调调整控制寄存器。

$$\left(\frac{-4}{0.17578125} \right) + 128 \approx 105d = 0x69$$

结果四舍五入为最接近的整数。

标清亮度检测

子地址0xBA

ADV739x允许监控输入视频数据的亮度水平，此特性可用来逐场监控输入Y信号的平均亮度。该信息可通过I²C读取，基于此信息可调整颜色饱和度、对比度和亮度控制(例如补偿非常暗的画面)。

仅能在有效视频区域内监控亮度数据。平均亮度I²C寄存器在每个VSYNC信号的下降沿更新。标清亮度检测寄存器(子地址0xBA)是一个只读寄存器。

标清亮度控制

子地址0xA1位[6:0]

使能此特性后，标清亮度/WSS控制寄存器(子地址0xA1)可用来将一个可编程设置水平增加到缩放后的Y数据上，从而控制亮度。该特性可通过设置子地址0x87位3来使能。

对于有基底的NTSC，该设置水平的范围是0 IRE至22.5 IRE。对于无基底的NTSC(见图69)和PAL，该设置水平的范围是-7.5 IRE至+15 IRE。



图69. 亮度控制值示例

标清亮度控制寄存器是一个8位寄存器。此8位寄存器的7个LSB用于控制亮度水平，它可以是正值或负值。

例如，为将+20 IRE亮度水平增加到有基底的NTSC信号上，须将0x28写入子地址0xA1。

$$0 \times (\text{标清亮度值}) =$$

$$0 \times (\text{IRE值} \times 2.015631) =$$

$$0 \times (20 \times 2.015631) = 0 \times (40.31262) \approx 0x28$$

ADV7390/ADV7391/ADV7392/ADV7393

为将-7 IRE亮度水平增加到PAL信号上，须将0x72写入子地址0xA1。

$$0 \times (\text{标清亮度值}) =$$

$$0 \times (\text{IRE值} \times 2.075631) =$$

$$0 \times (7 \times 2.075631) = 0x(14.109417) \approx 0001110b$$

$$0001110b \text{转换为二进制补码} = 1110010b = 0x72$$

表49. 亮度控制值示例¹

设置水平 (有基底的 NTSC)	设置水平 (无基底的 NTSC)	设置水平 (PAL)	亮度控制值
22.5 IRE	15 IRE	15 IRE	0x1E
15 IRE	7.5 IRE	7.5 IRE	0x0F
7.5 IRE	0 IRE	0 IRE	0x00
0 IRE	-7.5 IRE	-7.5 IRE	0x71

¹ 0x3F至0x44范围内的值可能导致输出信号无效。

标清输入标准自动检测

子地址0x87位5

ADV739x包括标清输入标准自动检测特性，可通过设置子地址0x87位[5:1]使能该特性。

使能此特性后，ADV739x可以自动识别NTSC或PAL B/D/G/H/I输入流。ADV739x使用所识别标准的适当值自动更新副载波频率寄存器。ADV739x还能正确编码所识别的标准。

标清标准位(子地址0x80位[1:0])和副载波频率寄存器不会通过更新来反映所识别的标准。所有寄存器都保持默认值或用户定义的值。

双缓冲

子地址0x33位7(增清/高清)；子地址0x88位2(标清)

双缓冲寄存器针对每个场更新一次。双缓冲可提高整体性能，因为对寄存器设置的修改不是在有效视频期间执行的，而是在下一个场的有效视频开始之前生效的。

通过设置子地址0x33位7，可以激活下列增清/高清寄存器的双缓冲：增清/高清伽玛A和伽玛B曲线及增清/高清CGMS寄存器。

通过设置子地址0x88位2，可以激活下列标清寄存器的双缓冲：标清伽玛A和伽玛B曲线、标清Y比例、标清Cr比例、标清Cb比例、标清亮度、标清隐藏字幕、标清Macrovision位[5:0](子地址0xE0位[5:0])。

可编程DAC增益控制

子地址0x0B

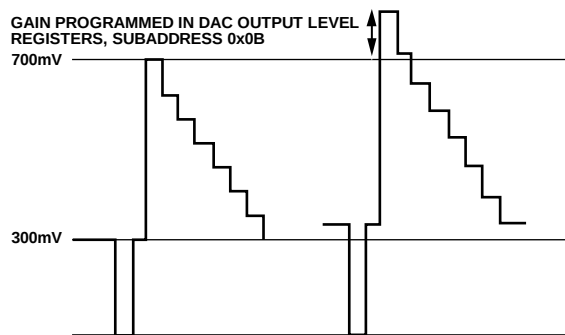
可以围绕DAC输出信号的绝对电平上下调整其增益，如图70所示。

DAC 1至DAC 3由寄存器0x0B控制。

在图70的实例A中，视频输出信号放大。同步端的绝对电平和消隐电平相对于参考视频输出信号增大。信号的总增益相对于参考信号增大。

在图70的实例B中，视频输出信号缩小。同步端的绝对电平和消隐电平相对于参考视频输出信号减小。信号的总增益相对于参考信号减小。

CASE A



CASE B

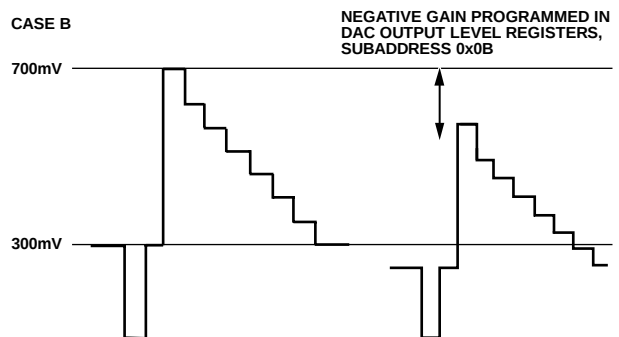


图70. 可编程DAC增益——正增益和负增益

此特性的额定范围为DAC标称输出的±7.5%。例如，如果DAC输出电流为4.33 mA，则DAC增益控制特性可在4.008 mA (-7.5%)至4.658 mA (+7.5%)的范围内改变此输出电流。

该控制寄存器的复位值为0x00，即输出标称DAC电流。表50的示例显示了DAC输出电流相对于4.33 mA标称输出电流的变化情况。

表50. DAC增益控制

子地址0x0B	DAC电流(mA)	%增益	注释
0100 0000 (0x40)	4.658	7.5000%	
0011 1111 (0x3F)	4.653	7.3820%	
0011 1110 (0x3E)	4.648	7.3640%	
...	...	...	
...	...	...	
0000 0010 (0x02)	4.43	0.0360%	
0000 0001 (0x01)	4.38	0.0180%	
0000 0000 (0x00)	4.33	0.0000%	复位值， 标称输出
1111 1111 (0xFF)	4.25	-0.0180%	
1111 1110 (0xFE)	4.23	-0.0360%	
...	...	...	
...	...	...	
1100 0010 (0xC2)	4.018	-7.3640%	
1100 0001 (0xC1)	4.013	-7.3820%	
1100 0000 (0xC0)	4.008	-7.5000%	

伽玛校正

子地址0x44至0x57(增清/高清)；

子地址0xA6至0xB9(标清)

一般而言，伽玛校正用于补偿(CRT上所感知的)信号输入与输出亮度水平之间的非线性关系。它也可以用于所有使用非线性处理的场合。

伽玛校正使用以下函数：

$$Signal_{OUT} = (Signal_{IN})^{\gamma}$$

其中 γ 为伽玛校正系数。

伽玛校正适用于标清和增清/高清视频。对于这两种情况，各有20个8位寄存器，用于设置伽玛校正曲线A和伽玛校正曲线B。

增清/高清伽玛校正通过子地址0x35位5使能。增清/高清伽玛校正曲线A在子地址0x44至0x4D进行设置，增清/高清伽玛校正曲线B在子地址0x4E至0x57进行设置。

标清伽玛校正通过子地址0x88位6使能。标清伽玛校正曲线A在子地址0xA6至0xAF进行设置，标清伽玛校正曲线B在子地址0xB0至0xB9进行设置。

伽玛校正仅针对亮度数据。用户可以选择两种校正曲线中的一种：曲线A或曲线B。一次只能使用这些曲线中的一个。对于增清/高清伽玛校正，曲线选择通过子地址0x35位4进行控制。对于标清伽玛校正，曲线选择通过子地址0x88位7进行控制。

伽玛校正曲线的形状通过定义曲线上10个不同位置的曲线响应来控制。通过改变这些位置的响应，可以修改伽玛校正曲线的形状。在这些点之间，使用线性插值可产生中间值。鉴于该曲线共有256个点，10个可编程位置位于下列点：24、32、48、64、80、96、128、160、192和224。下列位置是固定的，无法更改：0、16、240和255。

从曲线位置16到240，应计算可编程位置处的值以及相应的伽玛校正曲线的响应，以产生如下结果：

$$x_{DESIRED} = (x_{INPUT})^{\gamma}$$

其中：

$x_{DESIRED}$ 是所需的伽玛校正输出。

x_{INPUT} 是线性输入信号。

γ 是伽玛校正系数。

为了设置伽玛校正寄存器，须通过下式计算10个可编程曲线值：

$$\gamma_n = \left(\left(\frac{n-16}{240-16} \right)^{\gamma} \times (240-16) \right) + 16$$

其中：

γ_n 是针对伽玛校正曲线上的点n，需写入伽玛校正寄存器的值。

n = 24、32、48、64、80、96、128、160、192或224。

γ 是伽玛校正系数。

例如，对于所有可编程曲线数据点，令 $\gamma = 0.5$ 将产生如下的 γ_n 值：

$$\gamma_{24} = [(8/224)^{0.5} \times 224] + 16 = 58$$

$$\gamma_{32} = [(16/224)^{0.5} \times 224] + 16 = 76$$

$$\gamma_{48} = [(32/224)^{0.5} \times 224] + 16 = 101$$

$$\gamma_{64} = [(48/224)^{0.5} \times 224] + 16 = 120$$

$$\gamma_{80} = [(64/224)^{0.5} \times 224] + 16 = 136$$

$$\gamma_{96} = [(80/224)^{0.5} \times 224] + 16 = 150$$

$$\gamma_{128} = [(112/224)^{0.5} \times 224] + 16 = 174$$

$$\gamma_{160} = [(144/224)^{0.5} \times 224] + 16 = 195$$

$$\gamma_{192} = [(176/224)^{0.5} \times 224] + 16 = 214$$

$$\gamma_{224} = [(208/224)^{0.5} \times 224] + 16 = 232$$

各算式的结果四舍五入为最接近的整数。

ADV7390/ADV7391/ADV7392/ADV7393

图71和图72中的伽玛校正曲线仅为示例，16至240范围内的任何用户自定义曲线都是可行的。

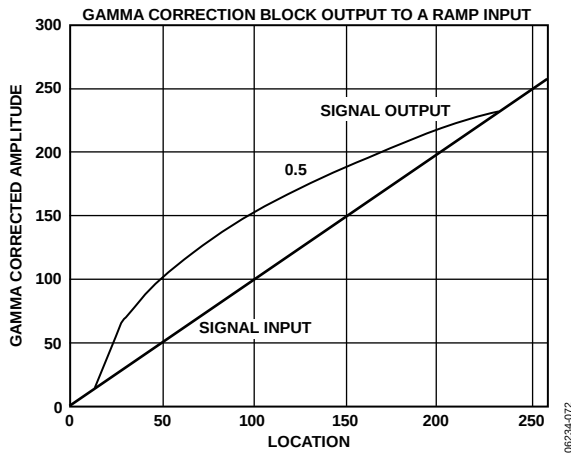


图71. 信号输入(斜坡)和信号输出(伽玛值为0.5)

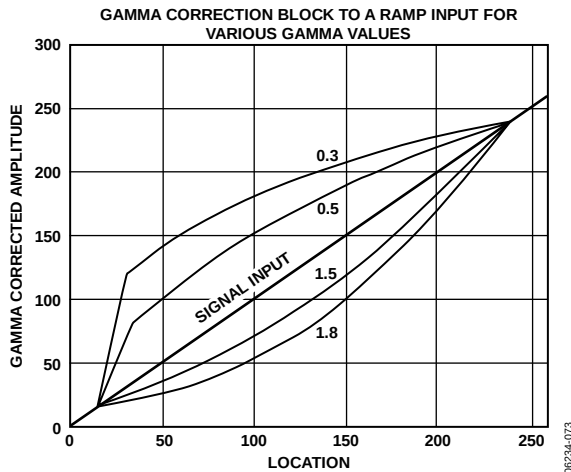


图72. 信号输入(斜坡)和可选信号输出

增清/高清锐度滤波器和自适应滤波器控制

子地址0x40；子地址0x58至0x5D

ADV739x提供三种滤波器模式：锐度滤波器模式和两种自适应滤波器模式。

增清/高清锐度滤波器模式

为了增强或衰减图73所示频率范围内的Y信号，必须使能增清/高清锐度滤波器(子地址0x31位7 = 1)，并且禁用增清/高清自适应滤波器(子地址0x35位7 = 0)。

为了选择256种不同响应中的一种，必须将相应的增益值(每个滤波器的值范围为-8至+7)写入子地址0x40处的增清/高清锐度滤波器增益寄存器。

增清/高清自适应滤波器模式

增清/高清自适应滤波器模式使用下列寄存器：

- 增清/高清自适应滤波器阈值A
- 增清/高清自适应滤波器阈值B
- 增清/高清自适应滤波器阈值C
- 增清/高清自适应滤波器增益1
- 增清/高清自适应滤波器增益2
- 增清/高清自适应滤波器增益3
- 增清/高清锐度滤波器增益

为了激活自适应滤波器控制，必须使能增清/高清锐度滤波器和增清/高清自适应滤波器(子地址0x31位7 = 1且子地址0x35位7 = 1)。

输入信号的导数与三个可编程阈值相比较：增清/高清自适应滤波器(阈值A、阈值B和阈值C)寄存器(子地址0x5B、子地址0x5C和子地址0x5D)。推荐的阈值范围为16至235，但是0至255范围内的任意值都可以使用。

然后，可以利用增清/高清自适应滤波器(增益1、增益2和增益3)寄存器(子地址0x58、子地址0x59和子地址0x5A)及增清/高清锐度滤波器增益寄存器(子地址0x40)中的设置对边沿进行衰减。

自适应滤波器模式有两种，可通过增清/高清自适应滤波器控制(子地址0x35位6)进行选择，如下所述：

- 当增清/高清自适应滤波器控制置0时，使用模式A。这种情况下，自适应滤波器模块使用滤波器B (LPF)。此外，仅有增清/高清锐度滤波器增益寄存器和增清/高清自适应滤波器(增益1、增益2和增益3)寄存器中增益B的编程值可在需要时应用。增益A的值是固定的，无法更改。
- 当增清/高清自适应滤波器控制置1时，使用模式B。这种模式下，使用滤波器A和滤波器B的级联形式。增清/高清锐度滤波器增益寄存器和增清/高清自适应滤波器(增益1、增益2和增益3)寄存器中增益A和增益B的设置均可在需要时激活。

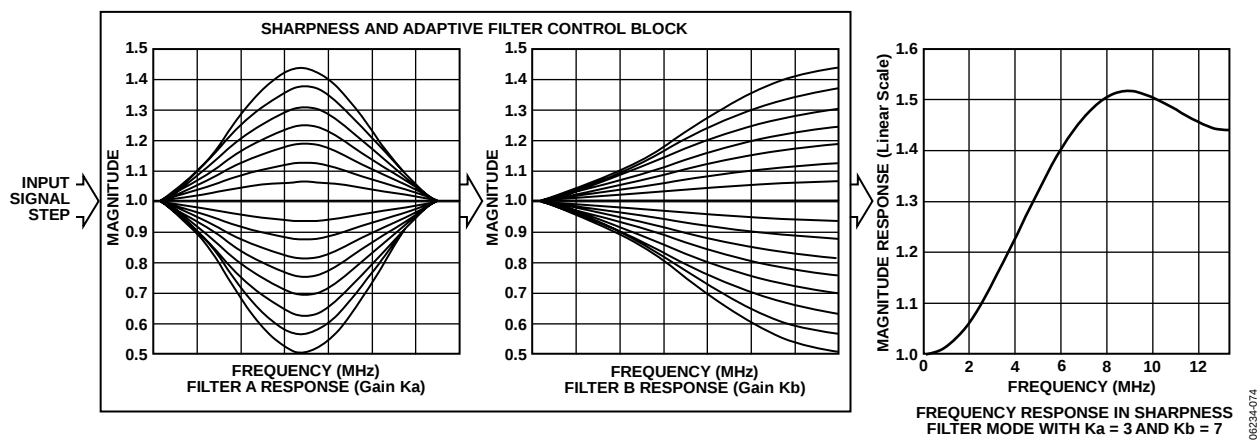


图73. 增清/高清锐度滤波器和自适应滤波器控制

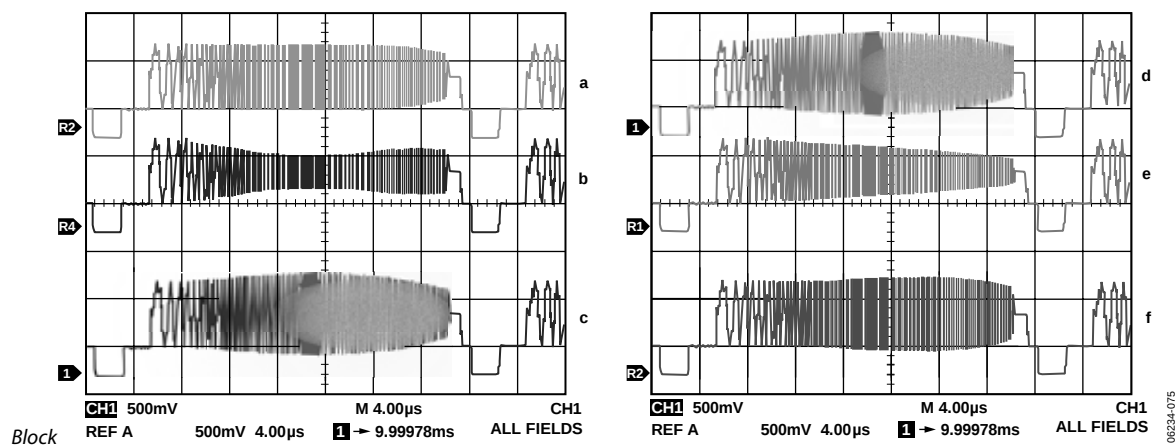


图74. 增清/高清锐度滤波器控制——增清/高清锐度滤波器增益值采用不同的增益设置

增清/高清锐度滤波器和自适应滤波器应用示例
锐度滤波器应用

增清/高清锐度滤波器可用来增强或衰减Y视频输出信号。
利用表51所列的寄存器设置可以实现图74所示的结果。输入数据由外部信号源产生。

表51. 针对图74的增清/高清锐度控制设置

子地址	寄存器设置	参考 ¹
0x00	0xFC	
0x01	0x10	
0x02	0x20	
0x30	0x00	
0x31	0x81	
0x40	0x00	a
0x40	0x08	b
0x40	0x04	c
0x40	0x40	d
0x40	0x80	e
0x40	0x22	f

¹ 参见图74。

自适应滤波器控制应用

利用表52所列的寄存器设置可以获得图76所示的结果，即消除输入Y信号上的响铃振荡（如图75所示）。输入数据由外部信号源产生。

表52. 针对图76的寄存器设置

子地址	寄存器设置
0x00	0xFC
0x01	0x38
0x02	0x20
0x30	0x00
0x31	0x81
0x35	0x80
0x40	0x00
0x58	0xAC
0x59	0x9A
0x5A	0x88
0x5B	0x28
0x5C	0x3F
0x5D	0x64

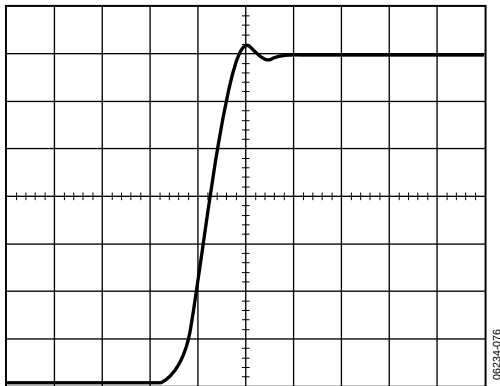


图75. 增清/高清自适应滤波器的输入信号

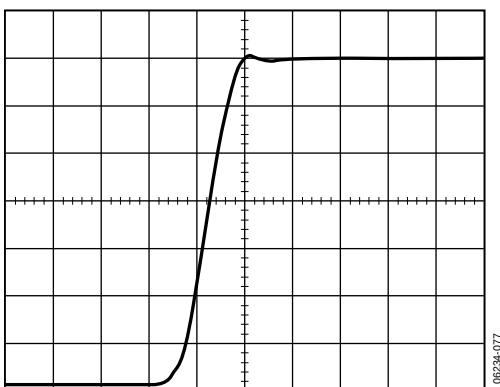


图76. 增清/高清自适应滤波器的输出信号 (模式A)

当自适应滤波器模式变为模式B时(子地址0x35位6), 可以获得图80所示的输出。

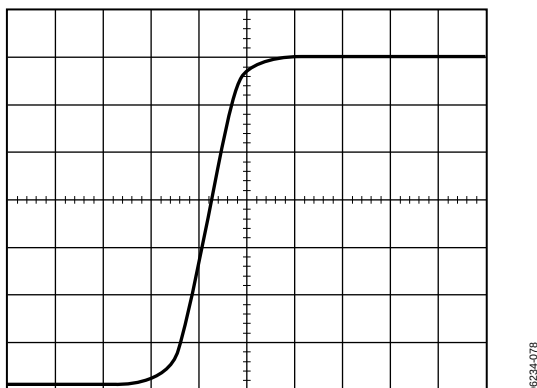


图77. 增清/高清自适应滤波器的输出信号 (模式B)

标清数字降噪

子地址0xA3至子地址0xA5

数字降噪(DNR)仅适用于Y数据。一个滤波器模块选择输入信号的高频、低幅度成分(DNR输入选择)。滤波器输出的绝对值与可编程阈值相比较(DNR阈值控制)。有两种DNR模式可用: DNR模式和DNR锐度模式。

在DNR模式下, 如果滤波器输出的绝对值小于阈值, 则认为它是噪声, 需从原始信号中扣除此噪声信号的可编程量(降噪增益边界、降噪增益数据)。在DNR锐度模式下, 如果滤波器输出的绝对值小于可编程阈值, 则认为它是噪声, 这与DNR模式一样。不过, 如果该绝对值超过阈值, 因而认为该信号是有效信号, 则会将该信号的一小部分(降噪增益边界、降噪增益数据)加到原始信号上, 以增强高频成分并锐化视频图像。

在MPEG系统中, 以8像素 × 8像素的模块(MPEG2系统)或16像素 × 16像素的模块(MPEG1系统)处理视频信息(模块大小控制)是很常见的。DNR可以用于由此所得的、已知含有噪声的模块转换区域。一般而言, 模块转换区域含有2个像素, 但可以将此区域定义为包含4个像素(边界区域)。

还可以利用DNR模块偏移补偿YCrCb像素时序的可变块位置或差异。

数字降噪寄存器为3个8位寄存器, 用于控制DNR处理。

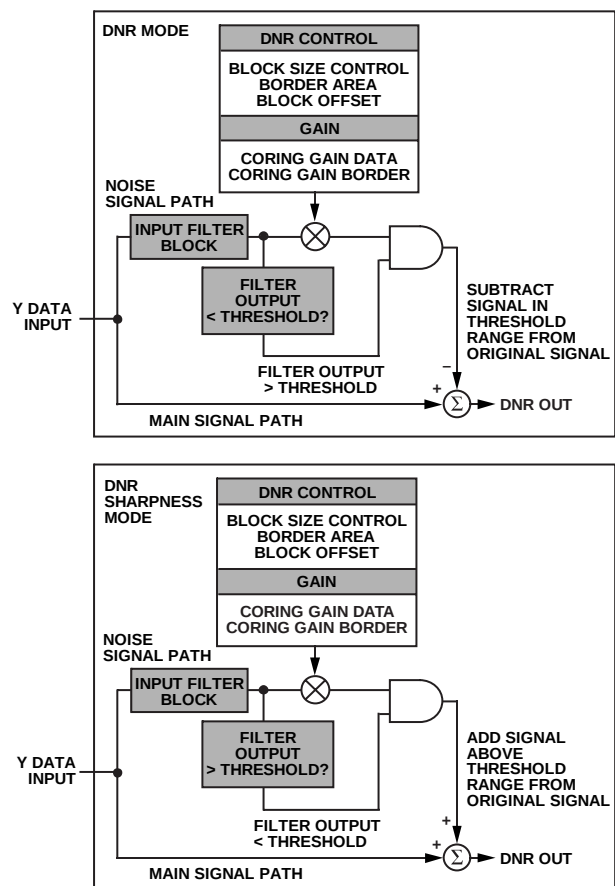


图78. 标清DNR功能框图

分段增益边界—子地址0xA3位[3:0]

这4位被分配给应用于边界区域的增益系数。在DNR模式下，增益值的范围是0到1，增量为1/8。将此系数应用于设定的阈值范围以下的DNR滤波器输出，然后从原始信号中扣除该结果。

在DNR锐度模式下，增益值的范围是0到0.5，增量为1/16。将此系数应用于阈值范围以上的DNR滤波器输出，然后将该结果加到原始信号上。

分段增益数据—子地址0xA3位[7:4]

这4位被分配给应用于MPEG像素块内的亮度数据的增益系数。在DNR模式下，增益值的范围是0到1，增量为1/8。将此系数应用于设定的阈值范围以下的DNR滤波器输出，然后从原始信号中扣除该结果。

在DNR锐度模式下，增益值的范围是0到0.5，增量为1/16。将此系数应用于阈值范围以上的DNR滤波器输出，然后将该结果加到原始信号上。

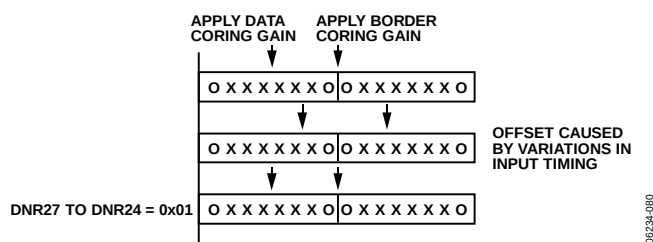


图79. 标清DNR偏移控制

DNR阈值—子地址0xA4位[5:0]

这6位用于定义DNR阈值，其范围为0到63，是一个绝对值。

边界区域—子地址0xA4位6

将此位设置为逻辑1时，可以将模块转换区域定义为包含4个像素。将此位设置为逻辑0时，边界转换区域包含2个像素，一个像素指27 MHz的两个时钟周期。

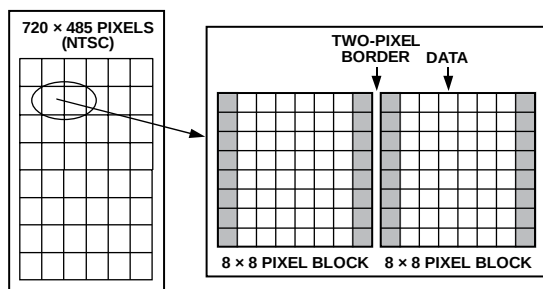


图80. 标清DNR边界区域

模块大小—子地址0xA4位7

此位用于选择要处理的数据模块的大小。如果将模块大小控制功能设置为逻辑1，则数据模块大小为16像素×16像素；如果设置为逻辑0，则数据模块大小为8像素×8像素，其中一个像素指27 MHz的两个时钟周期。

DNR输入选择—子地址0xA5位[2:0]

这3位用于选择应用于输入Y数据的滤波器。位于所选滤波器通带中的信号即为DNR处理的信号。图84显示了可通过该控制功能选择的滤波器响应。

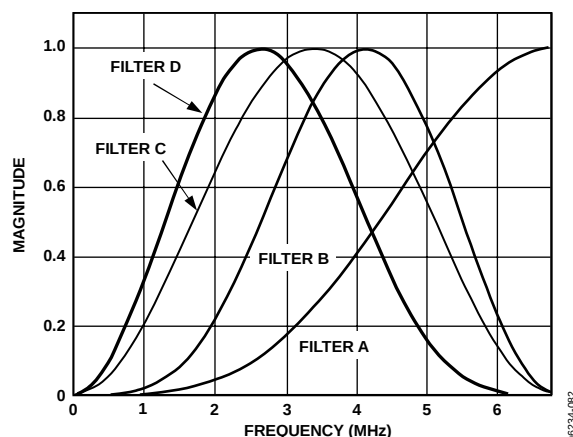


图81. 标清DNR输入选择

DNR模式—子地址0xA5位3

此位控制DNR模式选择。逻辑0选择DNR模式，逻辑1选择DNR锐度模式。

DNR的工作原理是将低幅度、高频信号定义为概率噪声，并将此噪声从原始信号中扣除。

在DNR模式下，位于设定阈值以下的一小部分信号被认为是噪声，可以将其从原始信号中扣除。阈值在DNR寄存器1中设置。

DNR锐度模式使能时，位于设定阈值以上的一小部分信号被认为是有效数据而不是噪声，可以将其增加到原始信号上。总的影响是信号增强(与使用扩展SSAF滤波器相似)。

模块偏移控制—子地址0xA5位[7:4]

这4位被分配给此控制功能，它允许数据块最多偏移15个像素。分段增益位置是固定的。模块偏移功能以一个像素的步进偏移数据，无论数据的输入时序如何变化，边界分段增益系数都可以应用于同一位置。

ADV7390/ADV7391/ADV7392/ADV7393

标清有效视频边沿控制

子地址0x82位7

ADV739x能够控制有效视频开始和结束时的快速上升和下降信号，使响铃振荡降至最小。

当有效视频边沿控制特性使能时(子地址0x82位7 = 1)，将对亮度通道上有效视频的前三个像素和后三个像素进行按比例调整，使得这些像素不会发生最大转换。

在有效视频开始时，前三个像素分别乘以1/8、1/2和7/8。
在有效视频快要结束时，后三个像素分别乘以7/8、1/2和1/8。所有其它有效视频像素原样通过。

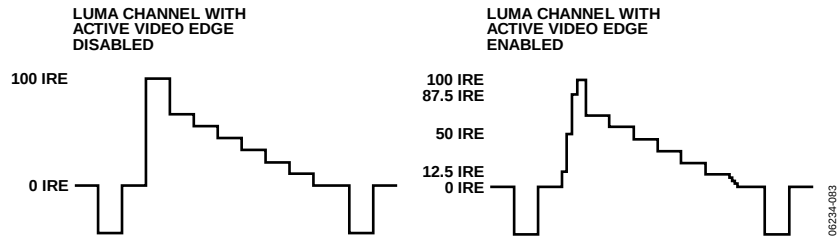


图82. 有效视频边沿控制功能示例

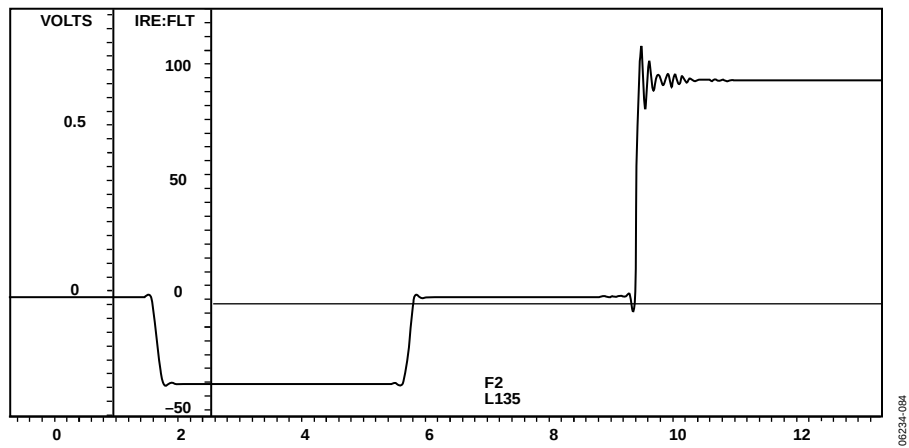


图83. 子地址0x82位7 = 0时的视频输出示例

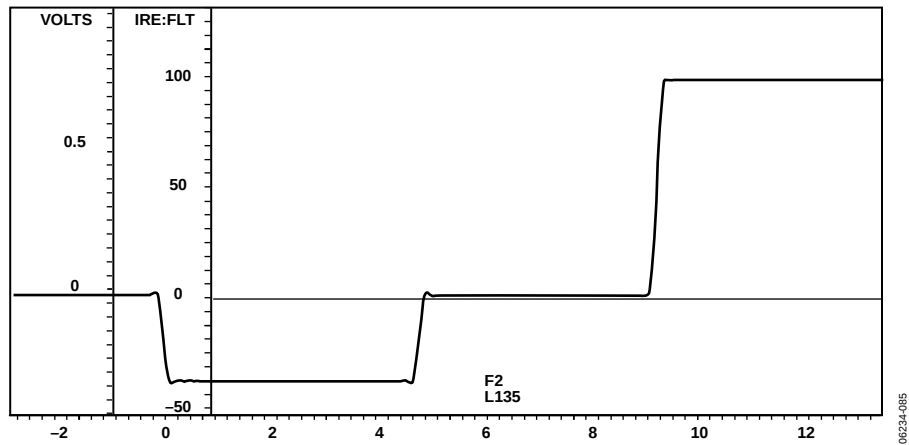


图84. 子地址0x82位7 = 1时的视频输出示例

外部水平和垂直同步控制

出于时序同步目的，ADV739x既能够接受输入像素数据中嵌入的EAV/SAV时序码，也能够接受 $\overline{\text{HSYNC}}$ 和 $\overline{\text{VSYNC}}$ 引脚上提供的外部同步信号(见表53)。此外还可以在 $\overline{\text{HSYNC}}$ 和 $\overline{\text{VSYNC}}$ 引脚上输出同步信号(见表54至表56)。

表53. 时序同步信号输入选项

信号	引脚	条件
SD $\overline{\text{HSYNC}}$ In	$\overline{\text{HSYNC}}$	选择标清从机时序(模式1、模式2或模式3，子地址0x8A[2:0]) ¹
SD $\overline{\text{VSYNC}}$ /FIELD In	$\overline{\text{VSYNC}}$	选择标清从机时序(模式1、模式2或模式3，子地址0x8A[2:0]) ¹
ED/HD $\overline{\text{HSYNC}}$ In	$\overline{\text{HSYNC}}$	使能增清/高清时序同步输入(子地址0x30位2 = 0)
ED/HD $\overline{\text{VSYNC}}$ /FIELD In	$\overline{\text{VSYNC}}$	使能增清/高清时序同步输入(子地址0x30位2 = 0)

¹ 同时必须禁用标清和增清/高清时序同步输出(子地址0x02[7:6] = 00)。

表54. 时序同步信号输出选项

信号	引脚	条件
SD $\overline{\text{HSYNC}}$ Out	$\overline{\text{HSYNC}}$	使能标清时序同步输出(子地址0x02位6 = 1) ¹
SD $\overline{\text{VSYNC}}$ /FIELD Out	$\overline{\text{VSYNC}}$	使能标清时序同步输出(子地址0x02位6 = 1) ¹
ED/HD $\overline{\text{HSYNC}}$ Out	$\overline{\text{HSYNC}}$	使能增清/高清时序同步输出(子地址0x02位7 = 1) ²
ED/HD $\overline{\text{VSYNC}}$ /FIELD Out	$\overline{\text{VSYNC}}$	使能增清/高清时序同步输出(子地址0x02位7 = 1) ²

¹ 同时必须禁用增清/高清时序同步输出(子地址0x02位7 = 0)。

² 同时必须禁用增清/高清时序同步输入，即必须使能嵌入式EAV/SAV时序码(子地址0x30位2 = 1)。

表55. $\overline{\text{HSYNC}}$ 输出控制^{1,2}

增清/高清输入同步格式 (子地址0x30位2)	增清/高清 $\overline{\text{HSYNC}}$ 控制 (子地址0x34位1)	增清/高清同步输出使能 (子地址0x02位7)	标清同步输出使能 (子地址0x02位6)	$\overline{\text{HSYNC}}$ 引脚上的信号	时长
X	X	0	0	三态	不可用
X	X	0	1	流水线标清 $\overline{\text{HSYNC}}$	见标清时序部分
0	0	1	X	流水线增清/高清 $\overline{\text{HSYNC}}$	根据 $\overline{\text{HSYNC}}$ 时序
1	0	1	X	基于AV代码H位的流水线增清/高清 $\overline{\text{HSYNC}}$	与行消隐间隔相同
X	1	1	X	基于水平计数器的流水线增清/高清 $\overline{\text{HSYNC}}$	与嵌入式 $\overline{\text{HSYNC}}$ 相同

¹ 在有 $\overline{\text{HSYNC}}$ 输出的所有增清/高清标准中， $\overline{\text{HSYNC}}$ 脉冲的开头与输出视频中的嵌入式 $\overline{\text{HSYNC}}$ 的下降沿对准。

² X = 无关。

表56. $\overline{\text{VSYNC}}$ 输出控制^{1,2}

增清/高清输入同步格式 (子地址0x30位2)	增清/高清 $\overline{\text{VSYNC}}$ 控制 (子地址0x34位2)	增清/高清同步输出使能 (子地址0x02位7)	标清同步输出使能 (子地址0x02位6)	视频标准	$\overline{\text{VSYNC}}$ 引脚上的信号	时长
x	x	0	0	x	三态	不可用
x	x	0	1	隔行	流水线标清 $\overline{\text{VSYNC}}$ /场	见标清时序部分
0	0	1	x	x	流水线增清/高清 $\overline{\text{VSYNC}}$ 或场信号	根据 $\overline{\text{VSYNC}}$ 或场信号时序场
1	0	1	x	所有高清隔行标准	基于AV代码F位的流水线场信号	垂直消隐间隔
1	0	1	x	所有增清/高清逐行标准	基于AV代码V位的流水线 $\overline{\text{VSYNC}}$	

ADV7390/ADV7391/ADV7392/ADV7393

增清/高清 输入同步格式 (子地址0x30位2)	增清/高清 VSYNC控制 (子地址0x34位2)	增清/高清 同步输出使能 (子地址0x02位7)	标清同步 输出使能 (子地址0x02位6)	视频标准	VSYNC引脚上的信号	时长
X	1	1	X	525p除外的所有 增清/高清标准	基于垂直计数器的 流水线增清/高清VSYNC	与锯齿行对齐
X	1	1	X	525p	基于垂直计数器的 流水线增清/高清VSYNC	垂直消隐间隔

¹ 在有VSYNC输出的所有增清/高清标准中，VSYNC脉冲的开头与输出视频中的嵌入式VSYNC的下降沿对准。

² X = 无关。

低功耗模式

子地址0x0D位[2:0]

对于功耗敏感型应用，ADV739x支持ADI公司专有的低功耗工作模式。为使用此低功耗模式，DAC必须以全驱动模式工作($R_{SET} = 510\ \Omega$, $R_L = 37.5\ \Omega$)。低功耗模式在低驱动模式下不可用($R_{SET} = 4.12\ \Omega$, $R_L = 300\ \Omega$)。通过子地址0x0D位[2:0]，可以独立使能或禁用各DAC的低功耗模式。所有DAC默认禁用低功耗模式。

在低功耗模式下，DAC功耗与内容相关；对于典型的视频流，其功耗可降低多达40%。对于要求最高视频性能的应用，应禁用低功耗模式。

电缆检测

子地址0x10位[1:0]

ADV739x包括ADI公司专有的电缆检测特性。DAC 1和DAC 2以全驱动模式($R_{SET} = 510\ \Omega$, $R_L = 37.5\ \Omega$)工作时，可以使用此特性。此特性在低驱动模式($R_{SET} = 4.12\ \Omega$, $R_L = 300\ \Omega$)下不可用。要监控的DAC必须通过子地址0x00上电。

此特性可以用于所有标清、增清和高清标准。它适用于所有输出配置，即CVBS、Y-C、YPrPb和RGB输出配置。

对于CVBS/Y-C输出配置，同时监控DAC 1和DAC 2，即监控CVBS和Y-C亮度输出。对于YPrPb和RGB输出配置，仅监控DAC 1，即监控亮度或绿色输出。

ADV739x监控DAC 1和/或DAC 2，分别更新子地址0x10位0和/或位1，每帧一次。如果一个DAC上检测到电缆，则相应位置0，否则置1。

DAC自动关断

子地址0x10位4

对于功耗敏感型应用，可以通过设置子地址0x10位4使能DAC自动关断特性。要使用此特性，必须使能电缆检测特性。

使能此特性后，电缆检测电路监控DAC 1和/或DAC 2，每帧一次；如果未连接电缆，则自动关断部分或所有DAC。DAC的关断取决于所选的输出配置。对于CVBS/Y-C输出配置，如果DAC 1未连接，则仅DAC 1关断。如果DAC 2未连接，则DAC 2和DAC 3均关断。

对于YPrPb和RGB输出配置，如果DAC 1未连接，则所有三个DAC均关断。对于YPrPb和RGB输出配置，不监控DAC 2。

DAC 1和/或DAC 2的监控频率为每帧一次。如果检测到电缆，则相应的DAC在该帧的持续时间内一直上电。如果未检测到电缆，则相应的DAC关断，下一帧重复该过程。

休眠模式

子地址0x00位0

在休眠模式下，ADV739x的大部分数字I/O引脚禁用。对于输入，这意味着外部数据被忽略。在内部，通常由给定输入驱动的逻辑仅与低电平或高电平相连，其中包括CLKIN。

对于数字输出引脚，这意味着引脚进入三态(高阻态)模式。

不过有一些例外，以使用户继续通过I²C与器件通信：RESET、ALSB、SDA和SCL引脚始终保持活动状态。

大部分模拟电路在休眠模式下关断。此外，电缆检测特性不再工作，因为DAC已关断。

休眠模式可通过设置子地址0x00位0使能。

像素和控制端口回读

子地址0x13、子地址0x14、子地址0x16

ADV739x支持通过I²C MPU端口回读大部分数字输入。此特性有利于对上游器件进行电路板级连接测试。

通过MPU端口可以回读像素端口(P[15:0]或P[7:0])、 $\overline{\text{HSYNC}}$ 、 $\overline{\text{VSYNC}}$ 和SFL。回读寄存器位于子地址0x13、0x14和0x16。

使用此特性时，须将一个时钟信号施加于CLKIN引脚，以记录施加于输入引脚的电平。此外还必须选择标清输入模式(子地址0x01位[6:4])。

复位机制

子地址0x17位1

根据时序规格，当 $\overline{\text{RESET}}$ 引脚发生高低转换时，将激活硬件复位。这会将所有寄存器复位至默认值。硬件复位后，MPU端口配置为I²C工作模式。为使器件正常工作，上电后必须执行硬件复位。

ADV739x还支持通过I²C MPU端口执行软件复位。将1写入子地址0x17的位1时，将激活软件复位。这会将所有寄存器复位至默认值。此位为自清零位，即将1写入此位后，此位自动恢复为0。

为使器件正常工作，上电后必须执行硬件复位。如果应用不要求硬件复位功能， $\overline{\text{RESET}}$ 引脚可以连接到一个RC网络，以提供上电后必需的硬件复位。上电后，RC网络的时间常数使 $\overline{\text{RESET}}$ 引脚在足够长的时间内保持低电平，从而发生复位。后续的所有复位可以通过软件执行。

标清图文电视插入

子地址0xC9至子地址0xCE

在PAL模式下工作时，ADV739x支持通过一个双引脚接口插入图文电视数据。图文电视插入可通过设置子地址0xC9位0使能。

根据PAL WST图文电视标准，图文电视数据应以6.9375 Mbps的速率插入ADV739x。对于ADV7390/ADV7391，图文电视数据通过 $\overline{\text{VSYNC}}$ 引脚插入。对于ADV7392/ADV7393，图文电视数据可通过 $\overline{\text{VSYNC}}$ 或P0引脚(通过子地址0xC9位2选择)插入。

图文电视插入使能后，图文电视请求信号从ADV739x输出，以指示何时应插入图文电视数据。图文电视请求信号通过SFL引脚输出。请求信号的位置(相对于图文电视数据)和宽度可通过子地址0xCA配置。请求信号可以工作在行模式或位模式。请求信号模式通过子地址0xC9位1控制。

考虑到图文电视插入速率(6.9375 Mbps)与像素时钟(27 MHz)之间的非整数关系，ADV739x实现了一种图文电视插入协议。对于6.9375 Mbps的速率，插入37个图文电视位所需的时间相当于144个像素时钟周期(27 MHz)。对于插入ADV739x的每37个图文电视位，第10、19、28和37位各占3个像素时钟周期，其余位各占4个像素时钟周期(总共144个像素时钟周期)。图文电视插入协议每37个图文电视位或144个像素时钟周期重复一次，直到插入所有360个图文电视位为止。

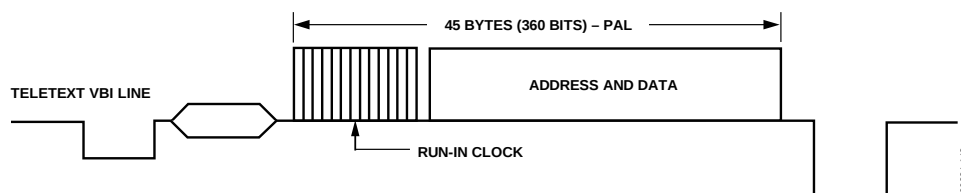
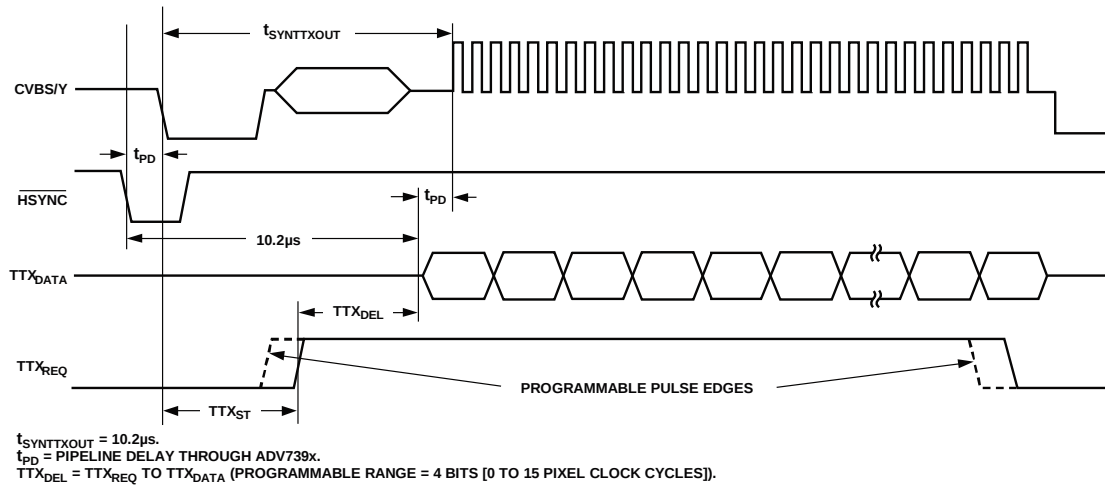


图85. 图文电视VBI行

ADV7390/ADV7391/ADV7392/ADV7393



00234-1.44

图86. 图文电视功能图

印刷电路板布局布线和设计

未使用引脚

如果HSYNC和VSYNC引脚未使用，应通过一个上拉电阻(10 k Ω 或4.7 k Ω)将其与V_{DD_IO}相连。任何其它未使用的数字输入应接地。未使用的数字输出引脚应悬空。DAC输出可以悬空或接GND。建议禁用这些输出。

DAC配置

ADV739x内置3个DAC。所有DAC都可以配置为全驱动工作模式。全驱动模式定义为以34.7 mA满量程电流驱动37.5 Ω 负载R_L，是DAC的推荐工作模式。

或者，3个DAC也可以都配置为低驱动工作模式。低驱动模式定义为以4.33 mA满量程电流驱动300 Ω 负载R_L。

ADV739x配有一个R_{SET}引脚。R_{SET}引脚与AGND之间连接的一个电阻用来控制满量程输出电流，从而控制DAC 1、DAC 2和DAC 3的输出电平。对于全驱动工作模式，R_{SET}值必须为510 Ω ，R_L值必须为37.5 Ω 。对于低驱动工作模式，R_{SET}值必须为4.12 k Ω ，R_L值必须为300 Ω 。连接到R_{SET}引脚的电阻应具有1%的容差。

ADV739x配有一个补偿引脚COMP。COMP引脚与V_{AA}之间应连接一个2.2 nF补偿电容。

视频输出缓冲器和可选输出滤波器

任何以低驱动模式(R_{SET} = 4.12 k Ω ，R_L = 300 Ω)工作的DAC都必须使用输出缓冲器。ADI公司有许多运算放大器适合此应用，例如AD8061。有关线路驱动器缓冲电路的更多信息，请参阅相关运算放大器的数据手册。

ADV739x DAC输出端可能需要一个可选的重构(抗镜像)低通滤波器(LPF)。此滤波器的规格随应用而不同。如果使用16 $\times$ (标清)、8 $\times$ (增清)或4 $\times$ (高清)过采样，则无需重构滤波器。

对于要求输出缓冲器和重构滤波器的应用，应考虑集成视频滤波器缓冲器ADA4430-1和ADA4411-3。

表57. ADV739x输出速率

输入模式 (子地址0x01位 [6:4])	过采样	输出速率(MHz)	
标清	关	27	(2 $\times$)
	开	108	(8 $\times$)
	开	216	(16 $\times$)
增清	关	27	(1 $\times$)
	开	108	(4 $\times$)
	开	216	(8 $\times$)
高清	关	74.25	(1 $\times$)
	开	148.5	(2 $\times$)
	开	297	(4 $\times$)

表58. 输出滤波器要求

应用	过采样	截止频率 (MHz)	衰减-50 dB 频率(MHz)
标清	2 $\times$	> 6.5	20.5
	8 $\times$	> 6.5	101.5
	16 $\times$	> 6.5	209.5
增清	1 $\times$	> 12.5	14.5
	4 $\times$	> 12.5	95.5
	8 $\times$	> 12.5	203.5
高清	1 $\times$	> 30	44.25
	2 $\times$	> 30	118.5
	4 $\times$	> 30	267

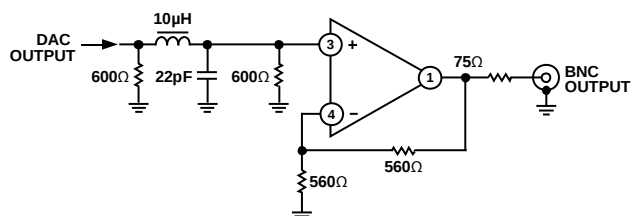


图87. 用于标清、16 $\times$ 过采样的输出滤波器示例

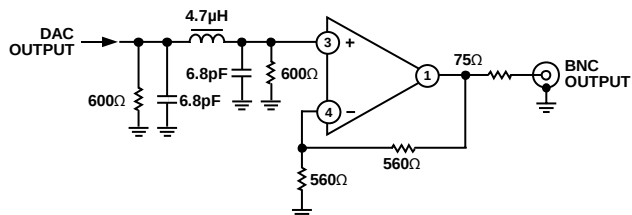


图88. 用于增清、8 $\times$ 过采样的输出滤波器示例

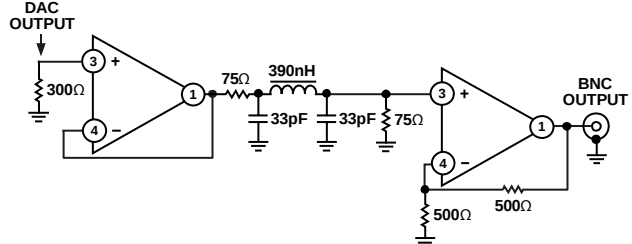


图89. 用于高清、4 $\times$ 过采样的输出滤波器示例

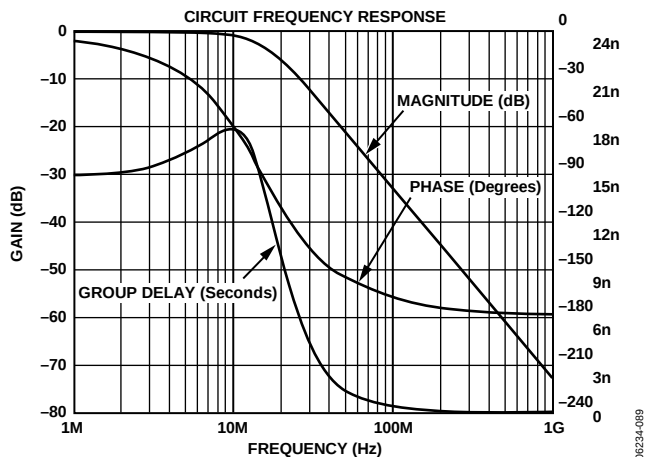


图90. 用于标清、16×过采样的输出滤波器特性图

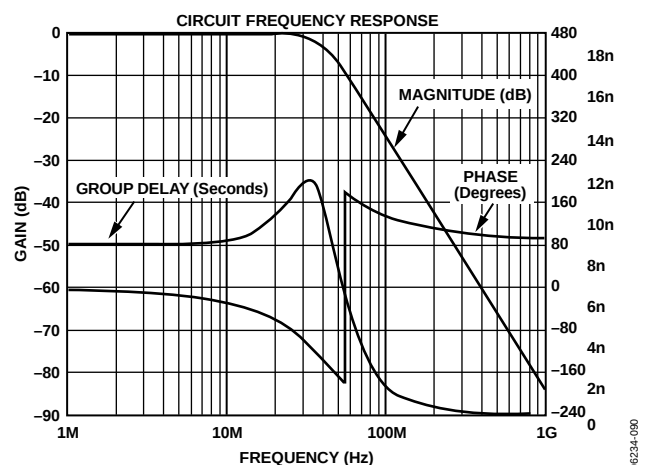


图91. 用于增清、8×过采样的输出滤波器特性图

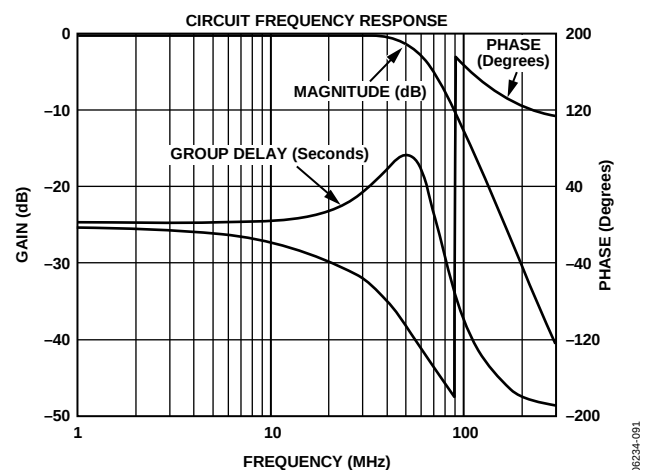


图92. 用于高清、4×过采样的输出滤波器特性图

印刷电路板(PCB)布局

ADV739x是高度集成的电路，含有精密模拟电路和高速数字电路，可使高速数字电路对模拟电路完整性的干扰影响降至最小。为了实现最佳性能，系统级设计必须应用同样的设计和布局技术。

应当屏蔽数字输入并提供良好的电源去耦来优化布局，使ADV739x电源和接地平面的噪声降至最低。

建议使用4层电路板，利用接地和电源平面分隔信号走线层和焊接侧层。

元件放置

应当审慎考虑元件的放置，使时钟信号和高速数字电路等高噪声电路与模拟电路分离。

外部环路滤波器元件及连接到COMP和 R_{SET} 引脚的元件应尽可能靠近ADV739x放置，并且与ADV739x位于PCB的同一侧。在PCB上增加过孔以使元件更靠近ADV739x的做法并不推荐。

建议将ADV739x尽可能靠近输出连接器放置，DAC输出走线应尽可能短。

DAC输出走线的端接电阻应尽可能靠近ADV739x放置，并且与ADV739x位于PCB的同一侧。端接电阻应叠加在PCB接地平面上。

连接到DAC输出端的外部滤波器和缓冲器应尽可能靠近ADV739x放置，使相邻电路的噪声影响降至最低，并最小化走线电容对输出带宽的影响。在低驱动模式($R_{SET} = 4.12 \text{ k}\Omega$, $R_L = 300 \Omega$)下，这一点尤其重要。

电源

建议为每个电源域(V_{AA} 、 V_{DD} 、 $V_{DD_{IO}}$ 和 PV_{DD})提供独立的稳压电源。为实现最佳性能，应使用线性调节器，而不要使用开关模式调节器。如果必须使用开关模式调节器，则须注意输出电压的纹波和噪声性能。对于 V_{AA} 和 PV_{DD} 电源，这一点尤其需要注意。各电源应通过适当的滤波器件(例如铁氧体磁珠)，独立地单点连接到系统电源。

电源去耦

建议通过10 nF和0.1 μ F陶瓷电容对每个电源引脚去耦。 V_{AA} 、 PV_{DD} 、 V_{DD_IO} 和两个 V_{DD} 引脚应分别去耦至地。去耦电容应尽可能靠近ADV739x放置，电容引脚应尽可能短，使引脚电感最小。

建议除了10 nF和0.1 μ F陶瓷电容外，在 V_{AA} 电源上再使用一个1 μ F钽电容。

电源时序控制

ADV739x稳定性强，支持所有电源时序组合，可以使用任意时序。不过，所有电源均应在1秒内建立至其标称电压。

数字信号互连

数字信号走线应尽可能与模拟输出和其它模拟电路隔离。数字信号走线不应叠加于 V_{AA} 或 PV_{DD} 电源平面上。

由于使用高时钟速率，为使噪声影响降至最小，应避免ADV739x的时钟走线过长。

数字输入所用的任何上拉端接电阻都应连接到 V_{DD_IO} 电源。

模拟信号互连

DAC输出走线应被视为传输线路，应当采取适当的措施确保实现最佳性能(例如，使用阻抗匹配的走线)。DAC输出走线应尽可能短。DAC输出走线的端接电阻应尽可能靠近ADV739x放置，并且与ADV739x位于PCB的同一侧。

为避免DAC输出之间发生串扰，连接到DAC输出引脚的走线之间应留有尽可能大的空间。此外还建议在DAC输出走线之间增加接地走线。

WLCSP封装的额外布局布线考虑

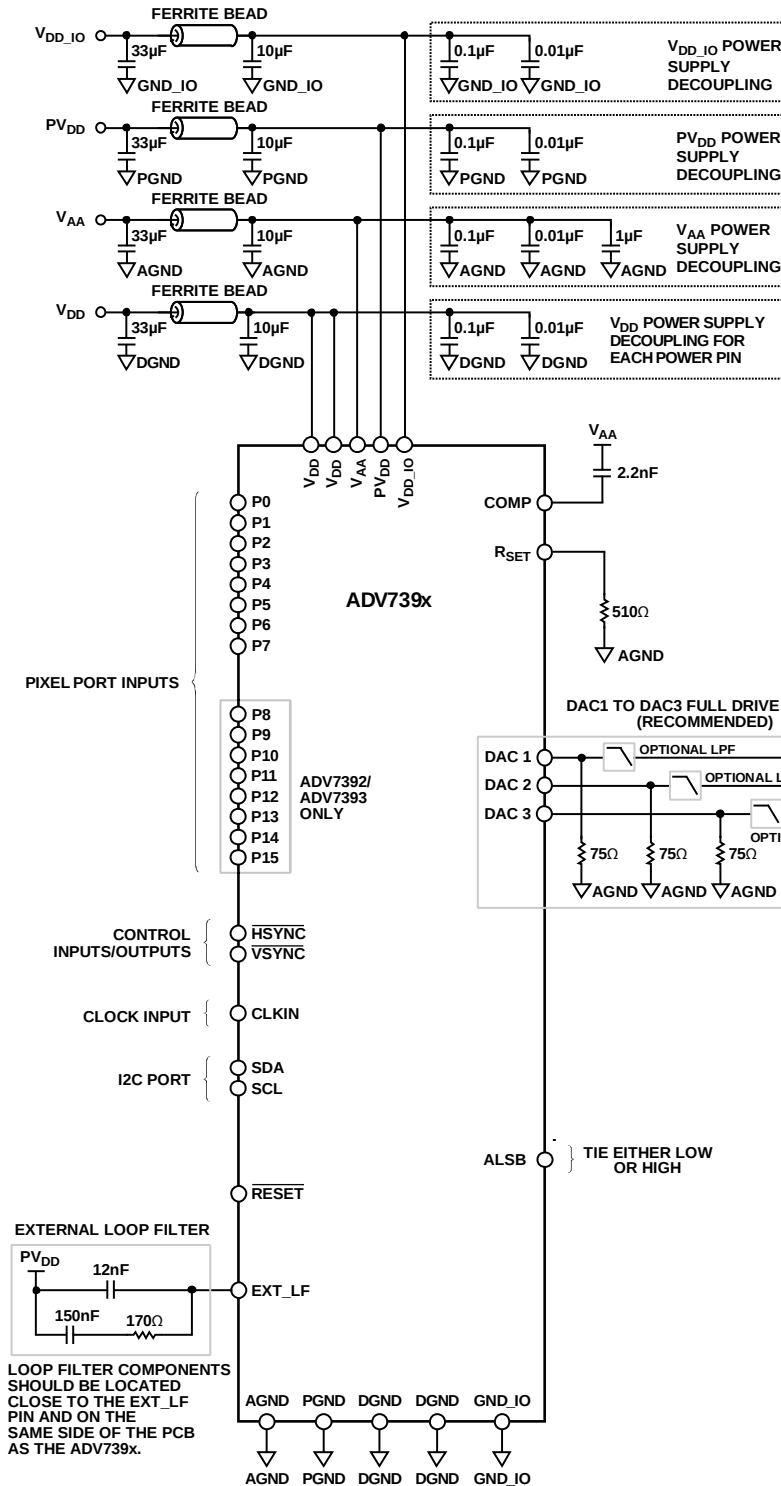
由于WLCSP封装的焊盘密度很高，间距只有0.5 mm，因此不建议仅在PCB顶层上布设与内部引脚的连接线路。

走线(迹线和空间)必须位于阻焊开窗的界限以内。由于板制造技术的几何形状限制，在板的顶层上布设所有走线的做法虽然可以实现，但通常并不可取。对于0.5 mm的间距和0.35 mm的典型阻焊开窗直径，阻焊开窗之间只有0.15 mm的距离。

顶层布线的替代方案是在埋入层上布线。为此，焊盘通过微过孔连接到下层。有关WLCSP封装的电路板布局布线的更多信息，请参阅应用笔记AN-617：“MicroCSP晶圆级芯片规模封装”。

ADV7390/ADV7391/ADV7392/ADV7393

TYPICAL APPLICATIONS CIRCUITS



NOTES

1. FOR OPTIMUM PERFORMANCE, EXTERNAL COMPONENTS CONNECTED TO THE COMP, R_{SET} AND DAC OUTPUT PINS SHOULD BE LOCATED CLOSE TO, AND ON THE SAME SIDE OF THE PCB AS, THE ADV739x.
2. THE I²C DEVICE ADDRESS IS CONFIGURABLE USING THE ALSB PIN:
 ALSB = 0, I²C DEVICE ADDRESS = 0xD4 (ADV7390/ADV7392) OR 0x54 (ADV7391/ADV7393)
 ALSB = 1, I²C DEVICE ADDRESS = 0xD6 (ADV7390/ADV7392) OR 0x56 (ADV7391/ADV7393)
3. THE RESISTOR CONNECTED TO THE R_{SET} PIN SHOULD HAVE A 1% TOLERANCE.
4. THE RECOMMENDED MODE OF OPERATION FOR THE DACS IS FULL-DRIVE (R_{SET} = 510Ω, R_L = 37.5Ω).

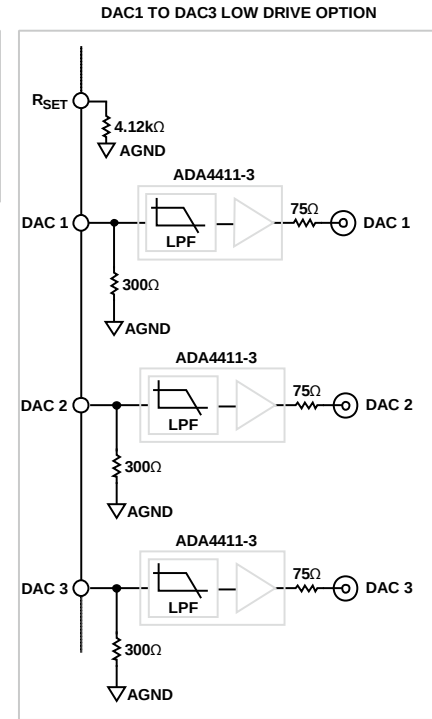
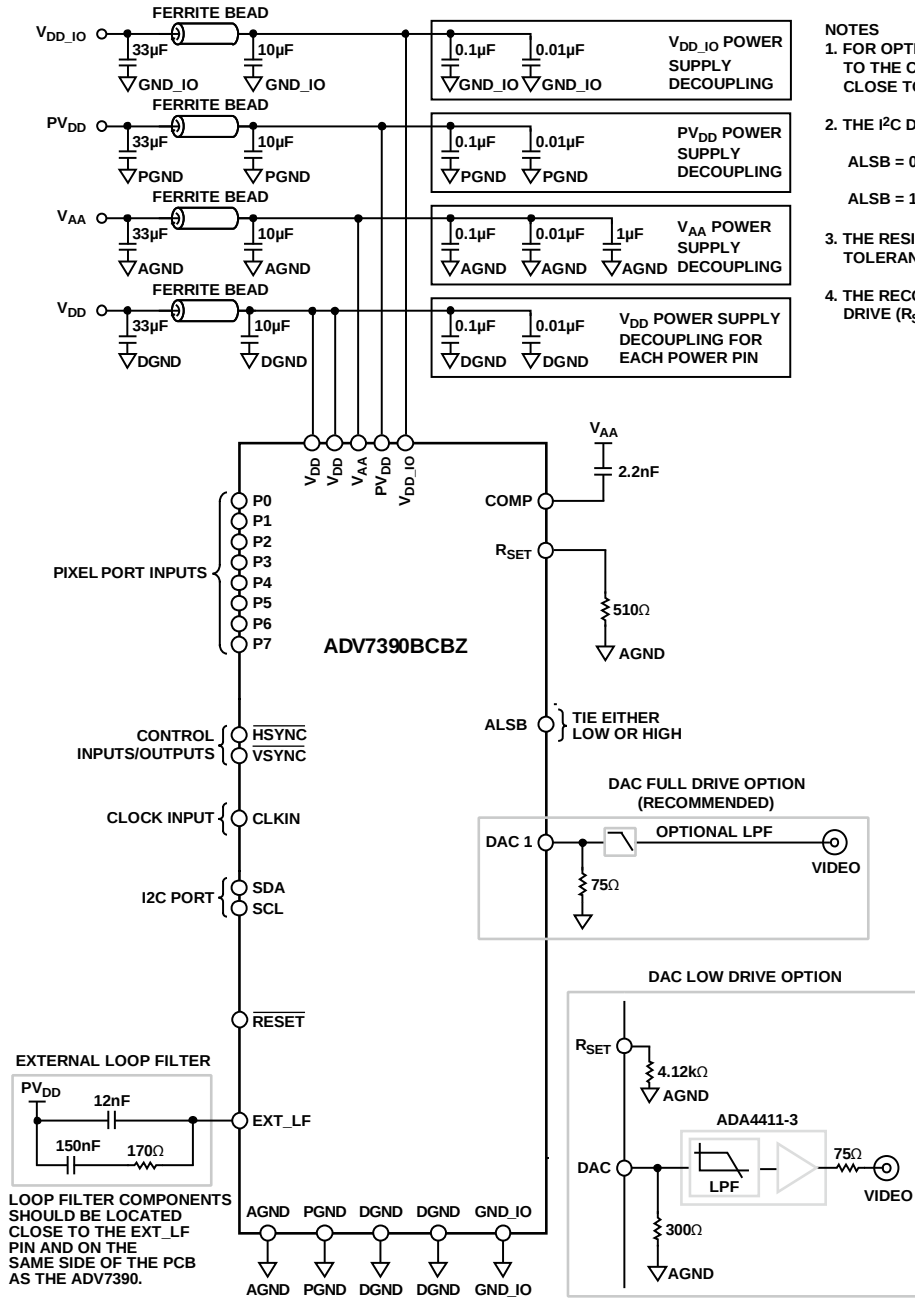


图93. ADV739x (LFCSP)典型应用电路

ADV7390/ADV7391/ADV7392/ADV7393



NOTES

- FOR OPTIMUM PERFORMANCE, EXTERNAL COMPONENTS CONNECTED TO THE COMP, R_{SET} AND DAC OUTPUT PINS SHOULD BE LOCATED CLOSE TO, AND ON THE SAME SIDE OF THE PCB AS, THE ADV7390.
- THE I²C DEVICE ADDRESS IS CONFIGURABLE USING THE ALSB PIN:
 ALSB = 0, I²C DEVICE ADDRESS = 0xD4
 ALSB = 1, I²C DEVICE ADDRESS = 0xD6
- THE RESISTOR CONNECTED TO THE R_{SET} PIN SHOULD HAVE A 1% TOLERANCE.
- THE RECOMMENDED MODE OF OPERATION FOR THE DACs IS FULL-DRIVE (R_{SET} = 510Ω, R_L = 37.5Ω).

图94. ADV7390BCBZ-A (WLCSP)典型应用电路

副本生成管理系统

标清CGMS

子地址0x99至子地址0x9B

ADV739x支持符合EIAJ CPR-1204和ARIB TR-B15标准的副本生成管理系统(CGMS)。CGMS数据通过奇数场的行20和偶数场的行283传输。子地址0x99位[6:5]控制CGMS数据是通过奇数场、偶数场还是以上二者输出。

仅当ADV739x配置为NTSC模式时，才能传输标清CGMS数据。CGMS数据为20位长。传输CGMS数据之前有一个先导参考脉冲，其幅度和持续时间与一个CGMS位相同(见图95)。

增清CGMS

子地址0x41至子地址0x43；子地址0x5E至子地址0x6E

525p模式

在525p模式下，ADV739x支持符合EIAJ CPR-1204-1标准的副本生成管理系统(CGMS)。

增清CGMS使能时(子地址0x32位6 = 1)，525p CGMS数据通过行41插入。525p CGMS数据寄存器位于子地址0x41、0x42和0x43。

在525p模式下，ADV739x还支持符合CEA-805-A标准的CGMS B型分组。

增清CGMS B型使能时(子地址0x5E位0 = 1)，525p CGMS B型数据通过行40插入。525p CGMS B型数据寄存器位于子地址0x5E至0x6E。

625p模式

在625p模式下，ADV739x支持符合IEC 62375 (2004)标准的副本生成管理系统(CGMS)。

增清CGMS使能时(子地址0x32位6 = 1)，625p CGMS数据通过行43插入。625p CGMS数据寄存器位于子地址0x42和0x43。

高清CGMS

子地址0x41至子地址0x43；子地址0x5E至子地址0x6E

在高清模式(720p和1080i)下，ADV739x支持符合EIAJ CPR-1204-2标准的副本生成管理系统(CGMS)。

高清CGMS使能时(子地址0x32位6 = 1)，720p CGMS数据应用于亮度垂直消隐间隔的行24。

高清CGMS使能时(子地址0x32位6 = 1)，1080i CGMS数据应用于亮度垂直消隐间隔的行19和行582。

高清CGMS数据寄存器位于子地址0x41、0x42和0x43。

在高清模式(720p和1080i)下，ADV739x还支持符合CEA-805-A标准的CGMS B型分组。

高清CGMS B型使能时(子地址0x5E位0 = 1)，720p CGMS数据应用于亮度垂直消隐间隔的行23。

高清CGMS B型使能时(子地址0x5E位0 = 1)，1080i CGMS数据应用于亮度垂直消隐间隔的行18和行581。

高清CGMS B型数据寄存器位于子地址0x5E至0x6E。

CGMS CRC功能

如果标清CGMS CRC(子地址0x99位4)或增清/高清CGMS CRC(子地址0x32位7)使能，则ADV739x将自动计算包含6位CRC检查序列的高6位CGMS数据(C19至C14)。此计算基于CGMS数据寄存器中的数据的低14位(C13至C0)。计算结果与其余14位一起输出，形成完整的20位CGMS数据。CRC序列计算基于多项式 $x^6 + x + 1$ ，其预设值为111111。

如果标清CGMS CRC或增清/高清CGMS CRC禁用，则所有20位(C19至C0)直接从CGMS寄存器输出(CRC必须由用户手动计算)。

如果增清/高清CGMS B型CRC(子地址0x5E位1)使能，则ADV739x将自动计算包含6位CRC检查序列的高6位CGMS B型数据(P122至P127)。此计算基于CGMS B型数据寄存器中的数据的低128位(H0至H5和P0至P121)。计算结果与其余128位一起输出，形成完整的134位CGMS B型数据。CRC序列计算基于多项式 $x^6 + x + 1$ ，其预设值为111111。

如果增清/高清CGMS B型CRC禁用，则所有134位(H0至H5和P0至P127)直接从CGMS B型寄存器输出(CRC必须由用户手动计算)。

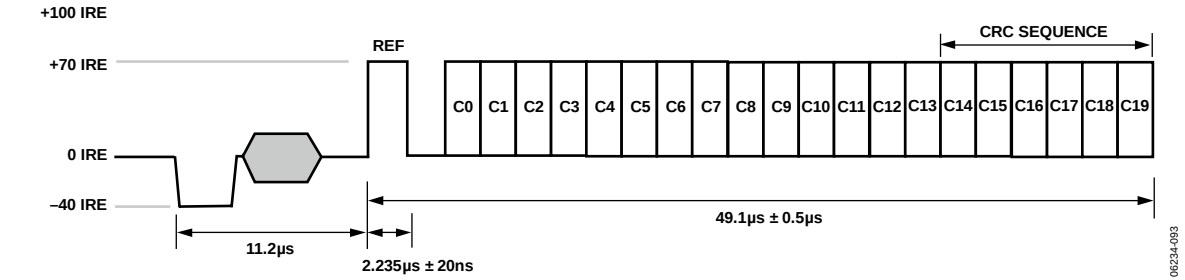


图95. 标清CGMS波形

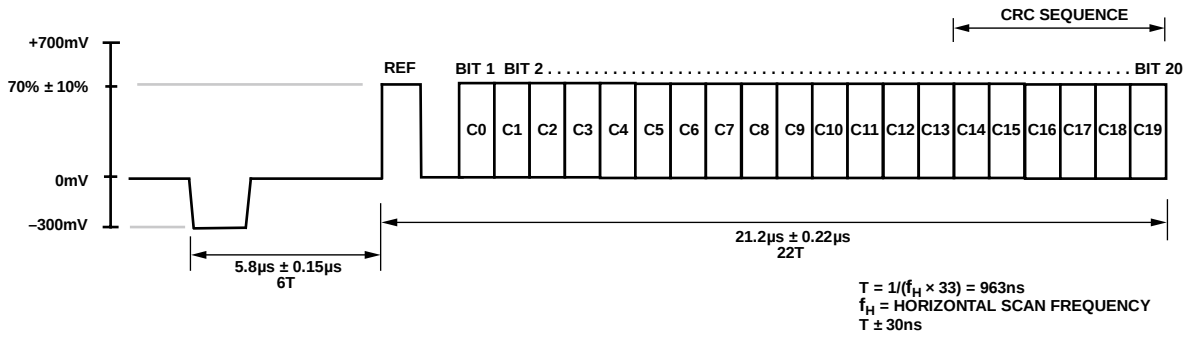


图96. 增清(525p) CGMS波形

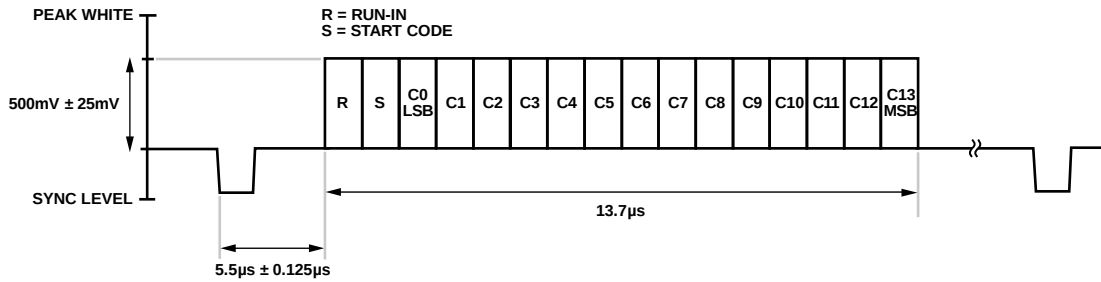


图97. 增清(625p) CGMS波形

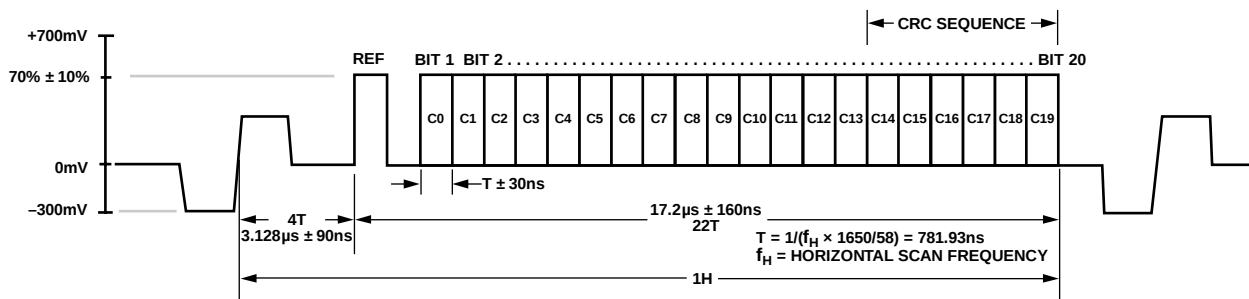


图98. 高清(720p) CGMS波形

ADV7390/ADV7391/ADV7392/ADV7393

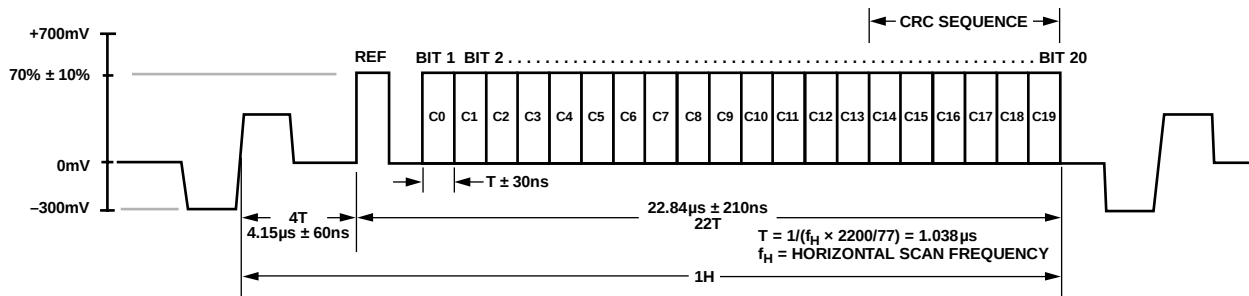
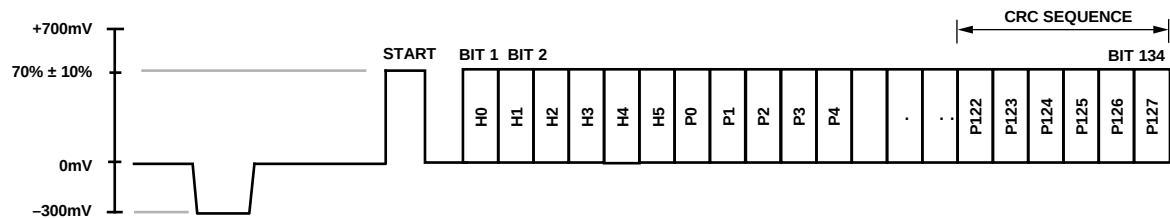


图99. 高清(1080i) CGMS波形

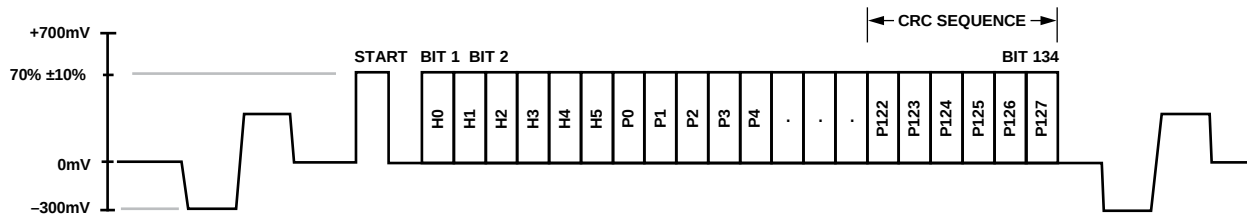
06234-097



NOTES
1. PLEASE REFER TO THE CEA-805-A SPECIFICATION FOR TIMING INFORMATION.

图100. 增清(525p) CGMS B型波形

06234-098



NOTES
1. PLEASE REFER TO THE CEA-805-A SPECIFICATION FOR TIMING INFORMATION.

图101. 高清(720p和1080i)CGMS B型波形

06234-099

标清宽屏幕信令

子地址0x99、子地址0x9A、子地址0x9B

ADV739x支持符合ETSI 300 294标准的宽屏幕信令(WSS)。WSS数据通过行23传输。仅当器件配置为PAL模式时，才能传输标清WSS数据。WSS数据为14位长。各位的功能如表59所示。传输WSS数据之前有一个脉冲进入序列和一个

起始码(见图102)。行23的较后部分($\overline{\text{HSYNC}}$ 下降沿起的42.5 μs 之后)可用于视频插入。行23上的WSS数据传输可以通过设置子地址0x99位7使能。设置0xA1位7可以消隐行23的WSS部分。

表59. WSS位的功能

位功能描述	位号														设置
	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
深宽比、格式、位置											1 0 0 1 0 1 1 0	0 0 0 1 1 0 1 1	0 0 1 1 0 1 1 1	0 1 0 1 0 1 0 1	4:3、完整格式、N/A 14:9、宽屏幕、中心 14:9、宽屏幕、顶端 16:9、宽屏幕、中心 16:9、宽屏幕、顶端 >16:9、宽屏幕、中心 14:9、完整格式、中心 16:0、N/A、N/A
模式										0 1					相机模式 电影模式
颜色编码									0 1						正常PAL 运动自适应ColorPlus
帮助信号								0 1							无 有
保留							0								N/A
						0 1									否 是
				0 0 1 1	0 1 0 1										否 字幕位于有效图像区域 字幕位于有效图像区域之外 保留
环绕声			0 1												否 是
版权		0 1													未注明版权或未知版权 已注明版权
复制保护	0 1														不限制复制 限制复制

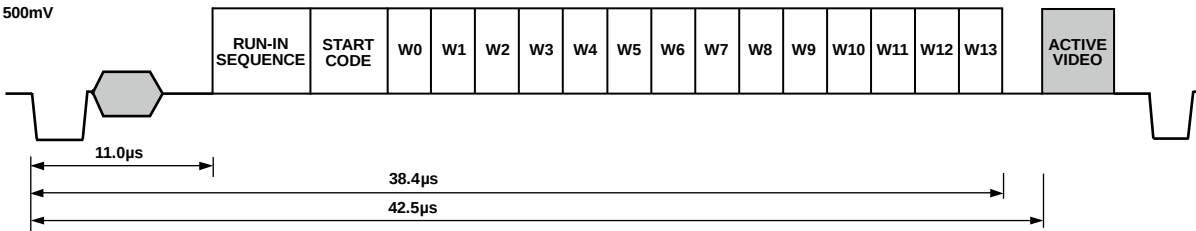


图102. WSS波形图

标清隐藏字幕

子地址0x91至子地址0x94

ADV739x支持采用标准电视同步波形(针对颜色传输)的隐藏字幕。使能此特性后,隐藏字幕在奇数场行21和偶数场行284的消息有效行时间内传输。隐藏字幕可通过设置子地址0x83位[6:5]使能。

隐藏字幕包含一个7周期正弦突发脉冲,该脉冲被锁频锁相至字幕数据。在时钟脉冲进入信号之后,消隐电平保持2个数据位的时间,然后是一个逻辑1开始位。开始位之后是16个数据位。数据由2个8位字节(每个字节含7个数据位和1个奇校验位)组成。这些字节的数据存储在标清隐藏字幕寄存器(子地址0x93至0x94)中。

ADV739x还支持扩展隐藏字幕操作,该操作在偶数场有效,并在行284上编码。此操作的数据存储在标清隐藏字幕寄存器(子地址0x91至0x92)中。

ADV739x自动产生所有时钟脉冲进入信号和时序,以支持行21和行284上的隐藏字幕。如果使能隐藏字幕,则将忽略行21和行284上的所有像素输入。

FCC联邦法规(CFR)第47篇第15.119节和EIA-608描述了有关行21和行284的隐藏字幕信息。

ADV739x采用单缓冲方法,这表示隐藏字幕缓冲器仅有1个字节深。因此,与其它2字节深缓冲系统不同,输出隐藏字幕数据时没有帧延迟。数据必须提前一行载入,然后通过行21和行284输出。实现此方法的典型做法是使用VSYNC中断微处理器,进而在每个场中加载新数据(2个字节)。如果没有新数据需要传输,必须将0插入两个数据寄存器中,这称为空值。还必须通过行21加载控制码,所有控制码都是双字节形式。否则,电视将无法识别。如果消息的字符数为奇数,如“Hello World”等,必须在末尾增加一个空格字符,确保字幕末尾的双字节控制码位于同一场中。

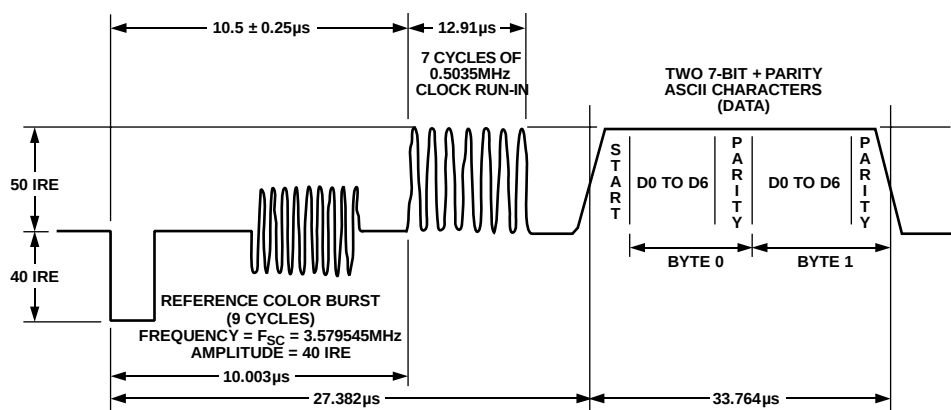


图103. 标清隐藏字幕波形, NTSC

内部测试图案生成

标清测试图案

ADV739x内部能够产生标清彩条和黑条测试图案。为实现此功能，必须将一个27 MHz时钟信号施加于CLKIN引脚。

表60中的寄存器设置用于产生标清NTSC 75%彩条测试图案。所有其它寄存器设为正常/默认值。分量YPrPb输出通过DAC 1至DAC 3提供。上电时，副载波频率寄存器设置为适合NTSC的适当缺省值。

表60. 标清NTSC彩条测试图案寄存器写入

子地址	设置
0x00	0x1C
0x82	0xC9
0x84	0x40

对于CVBS和S视频(Y/C)输出，应将0xCB(而非0xC9)写入子地址0x82。

对于分量RGB输出(而非YPrPb输出)，应将0写入子地址0x02的位5。

为了产生标清NTSC黑条测试图案，应使用表60所示的设置，并将0x24写入子地址0x02。

对于任一测试图案的PAL输出，除了子地址0x80应写入0x11外，应使用相同的设置，并且副载波频率(F_{sc})寄存器应按照表61所示进行编程。

表61. PAL F_{sc} 寄存器写入

子地址	描述	设置
0x8C	F _{sc} 0	0xCB
0x8D	F _{sc} 1	0x8A
0x8E	F _{sc} 2	0x09
0x8F	F _{sc} 3	0x2A

请注意，对F_{sc}寄存器进行编程时，用户必须按照F_{sc}0、F_{sc}1、F_{sc}2、F_{sc}3的顺序写入值。待写入的完整F_{sc}值只有在完成F_{sc}3写入之后才被接受。

增清/高清测试图案

ADV739x能够在内部产生增清/高清彩条、黑条和阴影测试图案。对于增清测试图案，必须将一个27 MHz时钟信号施加于CLKIN引脚。对于高清测试图案，必须将一个74.25 MHz时钟信号施加于CLKIN引脚。

表62中的寄存器设置用于产生增清525p阴影测试图案。所有其它寄存器设为正常/默认值。分量YPrPb输出通过DAC 1至DAC 3提供。对于分量RGB输出(而非YPrPb输出)，应将0写入子地址0x02的位5。

表62. 增清525p阴影测试图案寄存器写入

子地址	设置
0x00	0x1C
0x01	0x10
0x31	0x05

为了产生增清525p黑条测试图案，应使用表62所示的设置，并将0x24写入子地址0x02。

为了产生增清525p平场测试图案，应使用表62所示的设置，但子地址0x31应写入0xD0。

通过子地址0x36、0x37、0x38，可以分别控制阴影和平场测试图案的Y、Cr和Cb电平。

对于525p以外的增清/高清标准，应使用表62所示的设置，但子地址0x30的位[7:3]应进行相应更新。

标清时序

模式0 (CCIR-656)—从机选项(子地址0x8A = X X X X X 0 0 0)

ADV739x由像素数据中嵌入的SAV(有效视频开始)和EAV(有效视频结束)时间码进行控制。所有时序信息均通过一个4字节同步码传输。同步码在有效画面和折回期间紧接每一行前后进行发送。在此模式下，如果VSYNC和HSYNC引脚未使用，应将其与V_{DD_IO}相连。

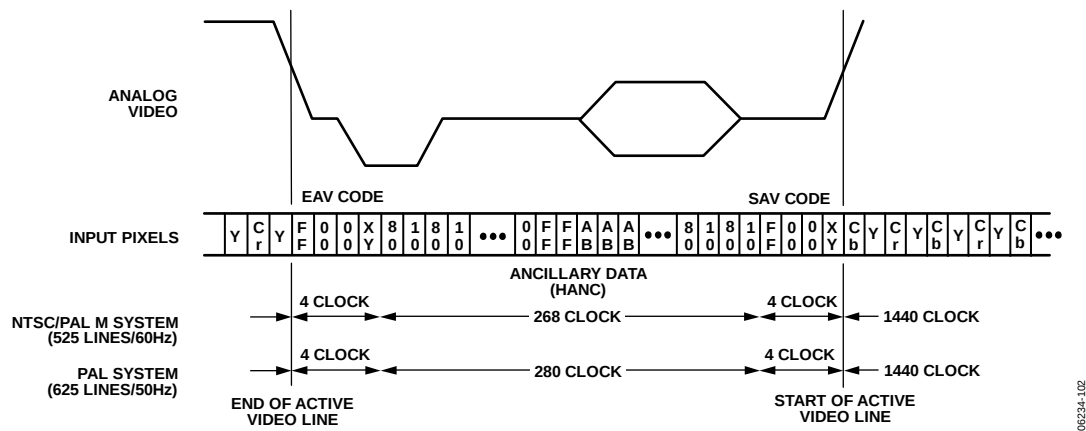


图104. 标清时序模式0，从机选项

模式0 (CCIR-656)—主机选项(地址0x8A = X X X X X 0 1 0)

根据CCIR-656标准，ADV739x产生SAV和EAV时间码所需的H和F信号。H位通过HSYNC输出，F位通过VSYNC输出。

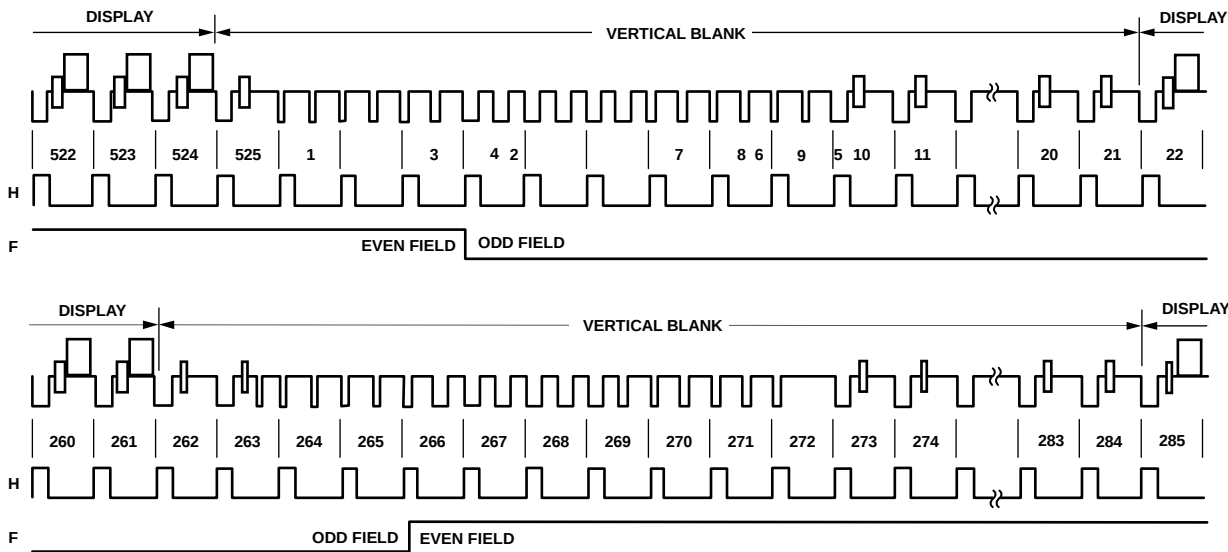


图105. 标清时序模式0，主机选项，NTSC

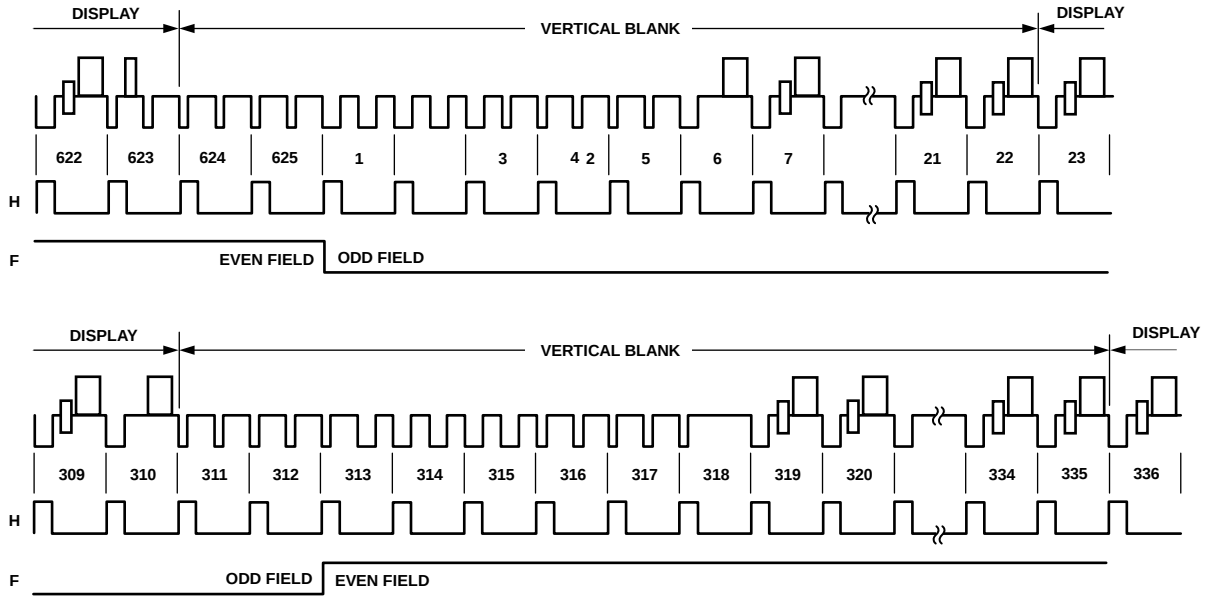


图106. 标清时序模式0, 主机选项, PAL

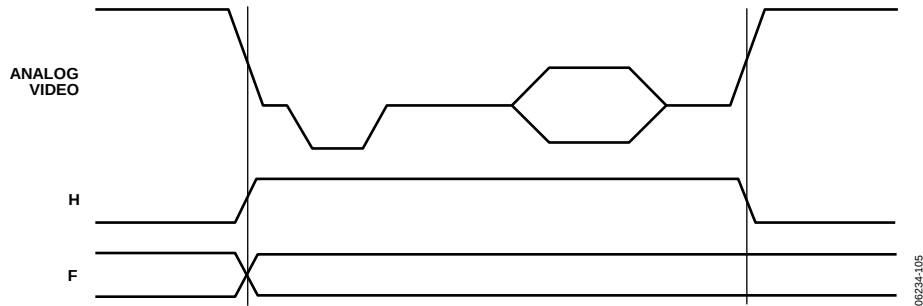


图107. 标清时序模式0, 主机选项, 数据转换

模式1—从机选项(子地址0x8A = X X X X X 0 1 0)

在此模式下, ADV739x接受水平同步和奇数/偶数场信号。当 $\overline{\text{HSYNC}}$ 为低电平时, 场输入的转换表示一个新帧, 即垂直折回。 $\overline{\text{HSYNC}}$ 和 FIELD 分别是 $\overline{\text{HSYNC}}$ 和 VS_{SYNC} 引脚上的输入。

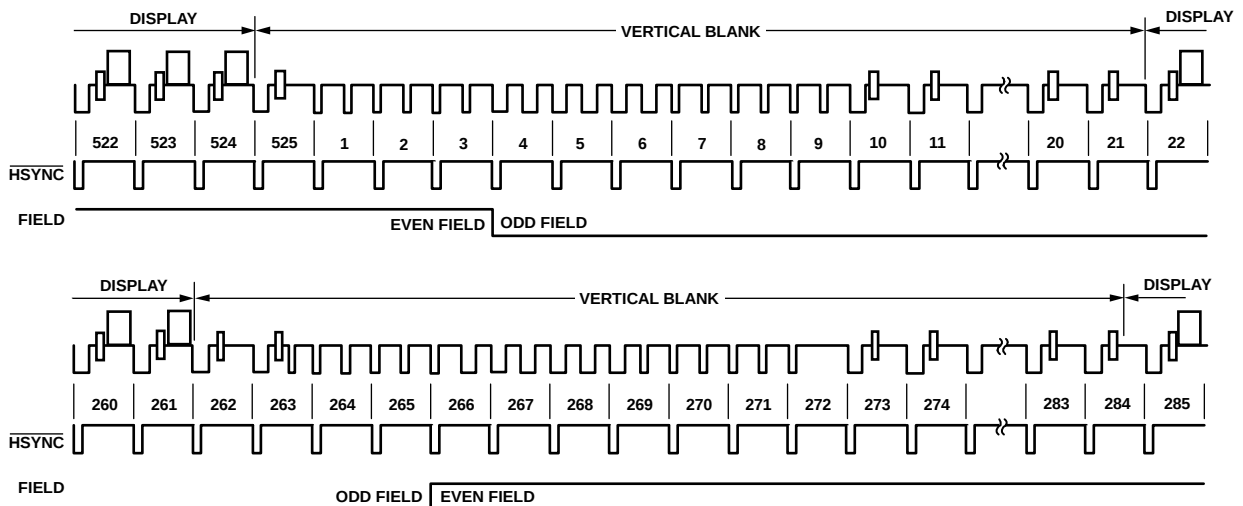


图108. 标清时序模式1, 从机选项, NTSC

ADV7390/ADV7391/ADV7392/ADV7393

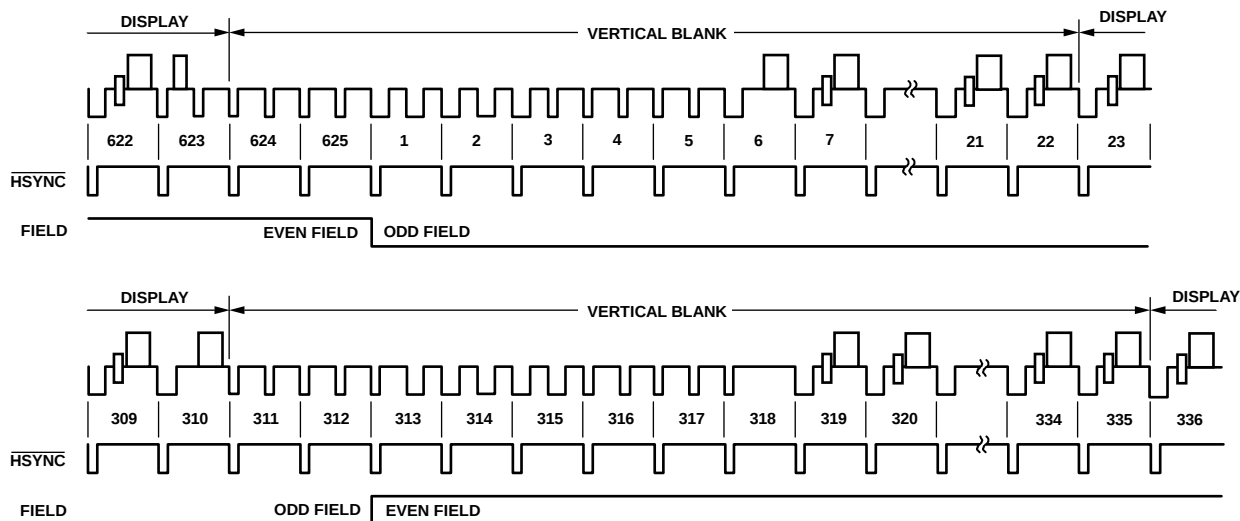


图109. 标清时序模式1, 从机选项, PAL

模式1—主机选项(子地址0x8A = X X X X X 1 1 0)

在此模式下, ADV739x可以产生水平同步和奇数/偶数场信号。当 $\overline{\text{HSYNC}}$ 为低电平时, 场输入的转换表示一个新帧, 即垂直折回。ADV739x按照CCIR-624标准的要求, 自动消隐所有通常为空白的行。像素数据在时序信号转换之后的上升时钟沿锁存。 $\overline{\text{HSYNC}}$ 和 FIELD 分别是 $\overline{\text{HSYNC}}$ 和 VSYNC 引脚上的输出。

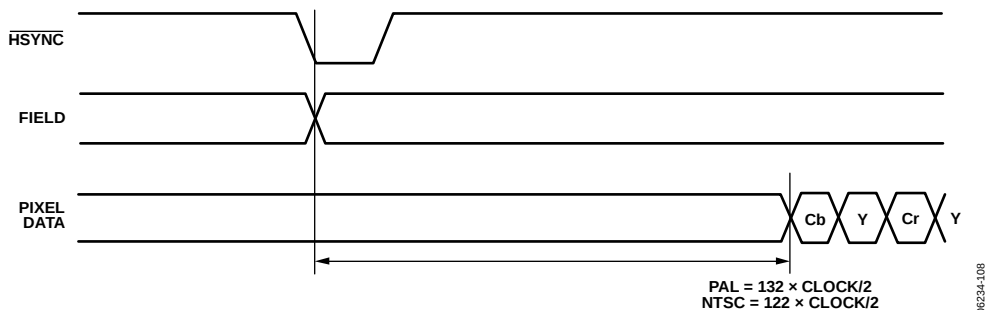


图110. 标清时序模式1, 奇数/偶数场转换(主机/从机)

模式2—从机选项(子地址0x8A = X X X X X 1 0 0)

在此模式下, ADV739x接受水平和垂直同步信号。 $\overline{\text{HSYNC}}$ 和 $\overline{\text{VSYNC}}$ 输入同时发生低转换表示奇数场开始。当 $\overline{\text{HSYNC}}$ 为高电平时, $\overline{\text{VSYNC}}$ 发生低转换表示偶数场开始。ADV739x按照CCIR-624标准的要求, 自动消隐所有通常为空白的行。 $\overline{\text{HSYNC}}$ 和 $\overline{\text{VSYNC}}$ 分别是 $\overline{\text{HSYNC}}$ 和 $\overline{\text{VSYNC}}$ 引脚上的输入。

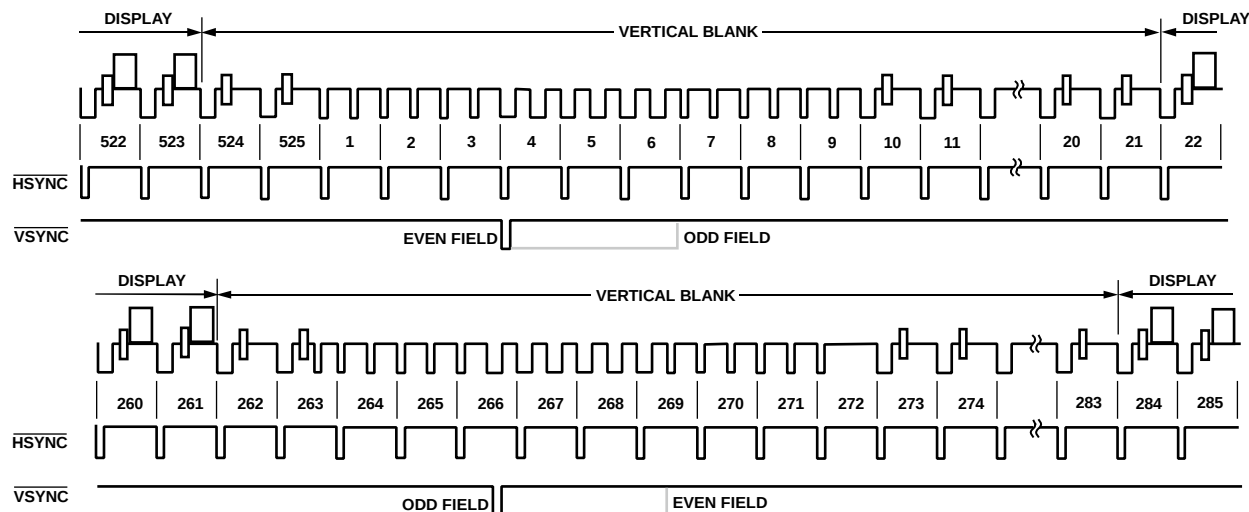


图111. 标清时序模式2，从机选项，NTSC

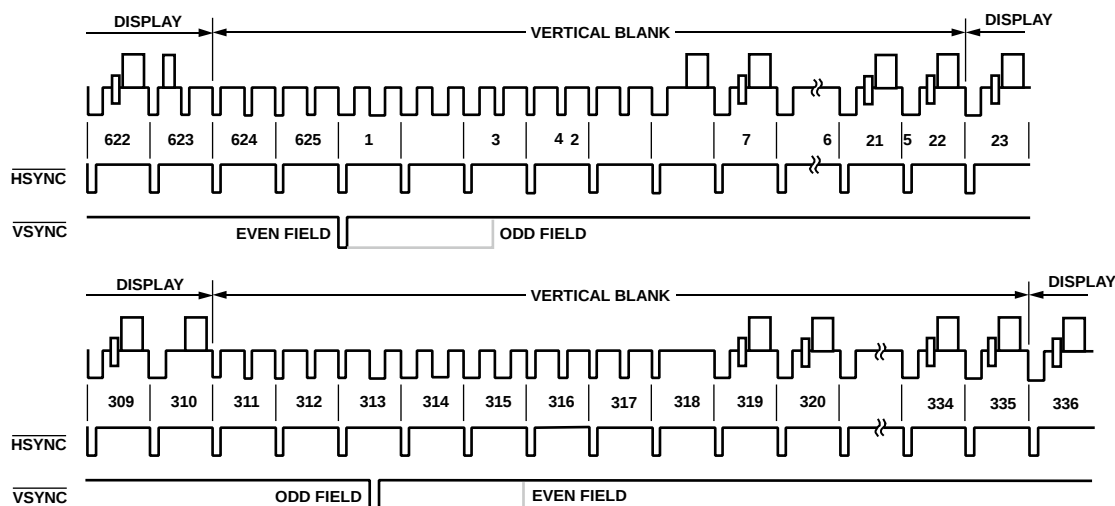


图112. 标清时序模式2，从机选项，PAL

模式2—主机选项(子地址0x8A = XXXXX101)

在此模式下，ADV739x可以产生水平和垂直同步信号。 $\overline{\text{HSYNC}}$ 和 $\overline{\text{VSYNC}}$ 输入同时发生低转换表示奇数场开始。当 $\overline{\text{VSYNC}}$ 为高电平时， $\overline{\text{HSYNC}}$ 发生低转换表示偶数场开始。ADV739x按照CCIR-624标准的要求，自动消隐所有通常为空白的行。 $\overline{\text{HSYNC}}$ 和 $\overline{\text{VSYNC}}$ 分别是HSYNC和VSYNC引脚上的输出。

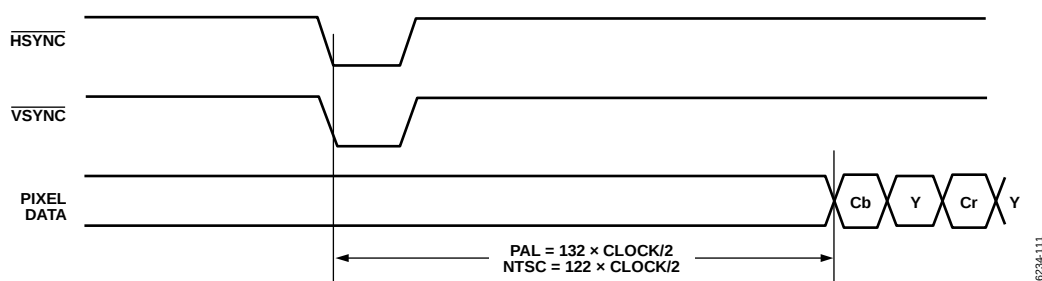


图113. 标清时序模式2，偶数至奇数场转换（主机/从机）

ADV7390/ADV7391/ADV7392/ADV7393

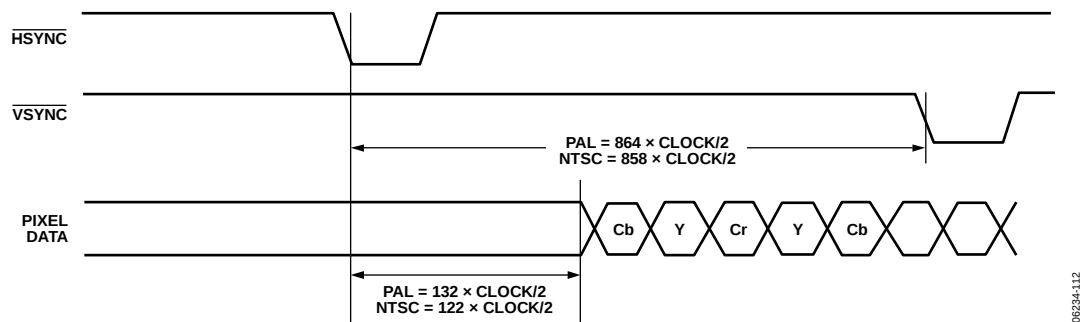


图114. 标清时序模式2, 奇数至偶数场转换(主机/从机)

模式3—主机/从机选项(子地址0x8A = XXXXX110或XXXXX111)

在此模式下, ADV739x接受或产生水平同步和奇数/偶数场信号。当HSYNC为高电平时, 场输入的转换表示一个新帧, 即垂直折回。ADV739x按照CCIR-624标准的要求, 自动消隐所有通常为空白的行。HSYNC和VSYNC分别是HSYNC和VSYNC引脚上的输出(主机模式)或输入(从机模式)。

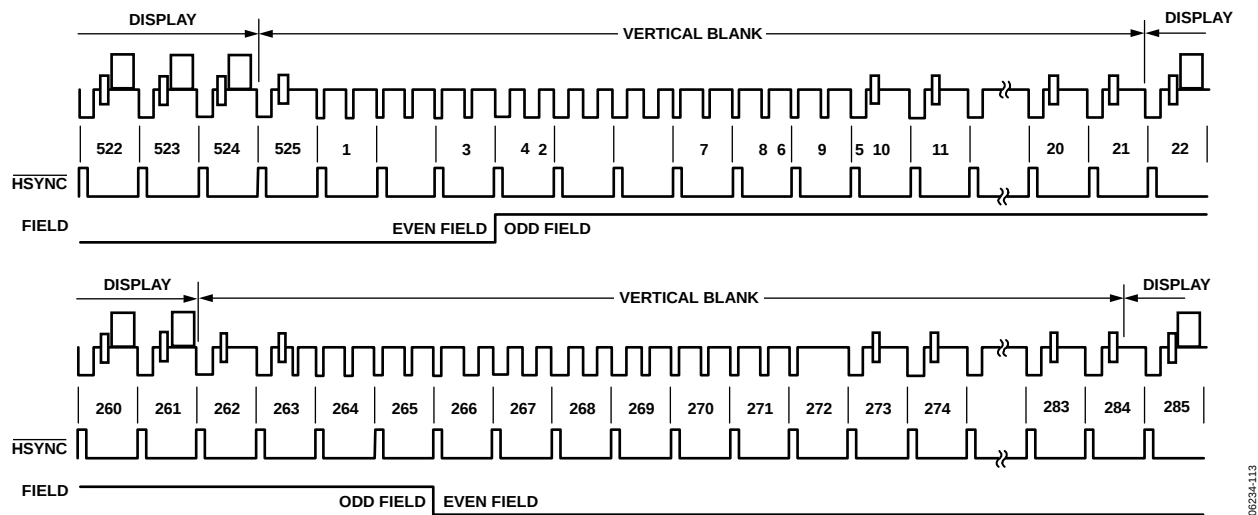


图115. 标清时序模式3, NTSC

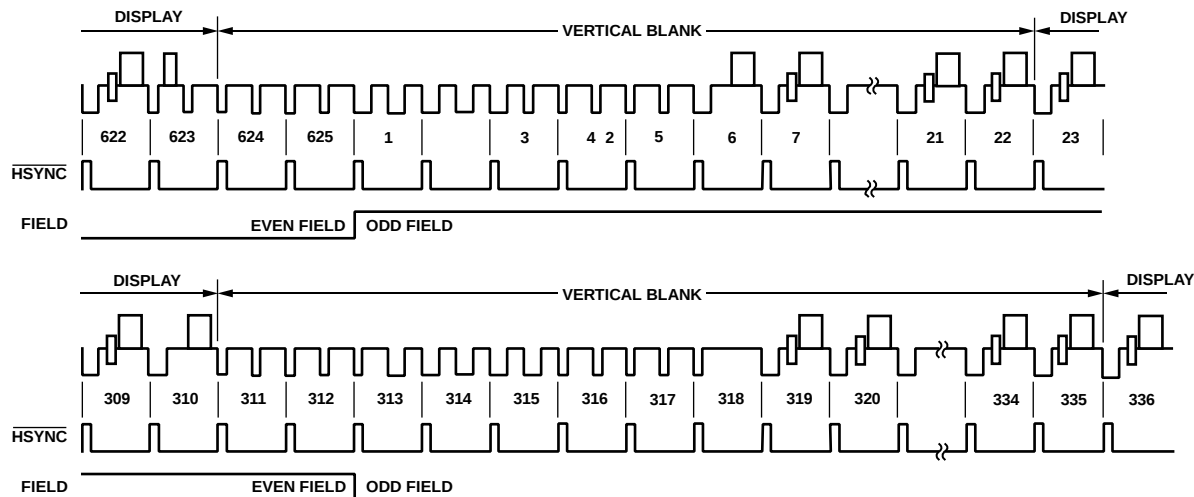
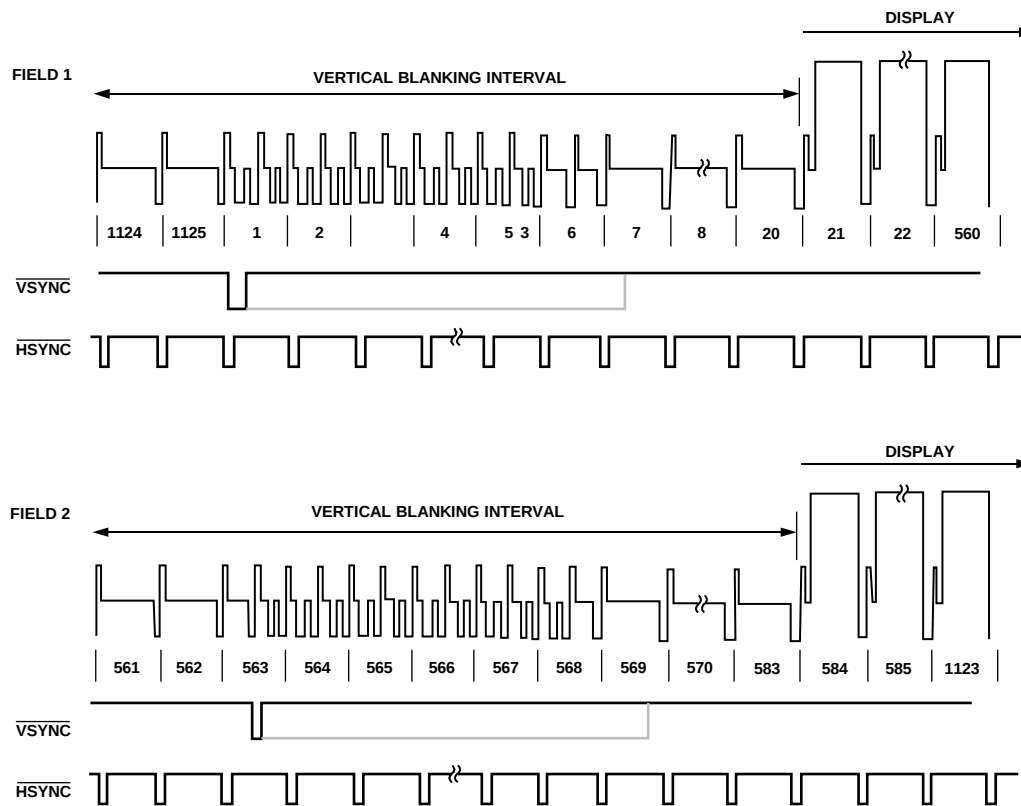


图116. 标清时序模式3, PAL

高清时序



00234-115

图117. 1080i $\overline{\text{HSYNC}}$ 和 $\overline{\text{VSYNC}}$ 输入时序

视频输出电平

标清YPrPb输出电平—SMPTE/EBU N10

图案：100%彩条

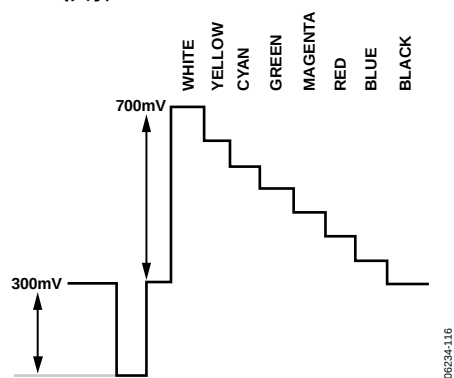


图118. Y电平—NTSC

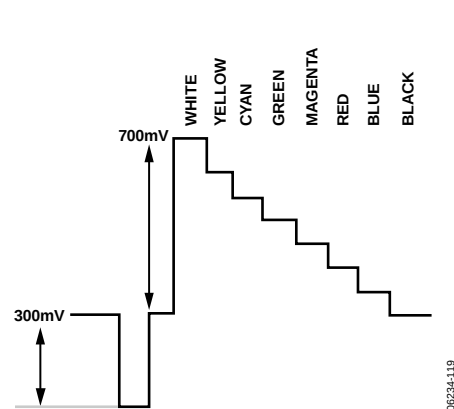


图121. Y电平—PAL

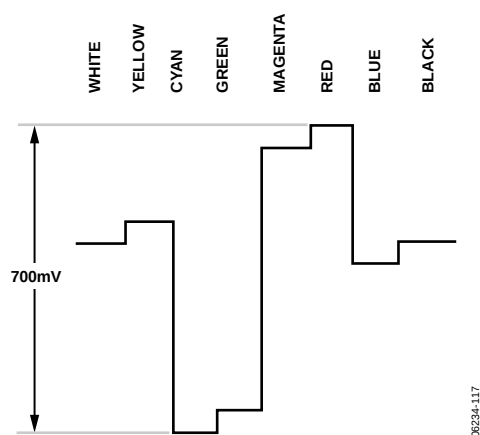


图119. Pr电平—NTSC

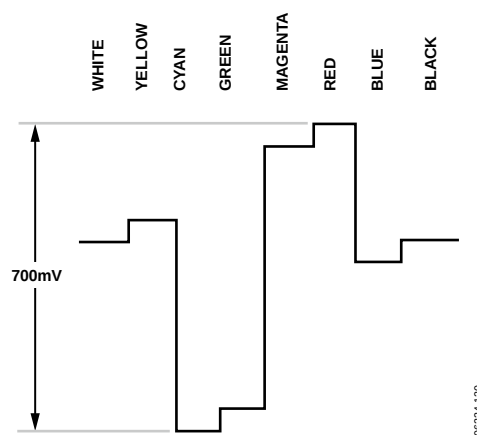


图122. Pr电平—PAL

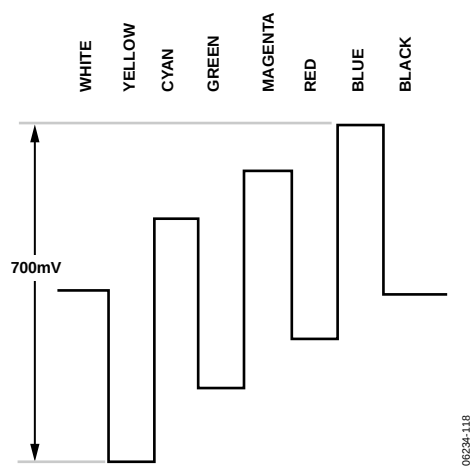


图120. Pb电平—NTSC

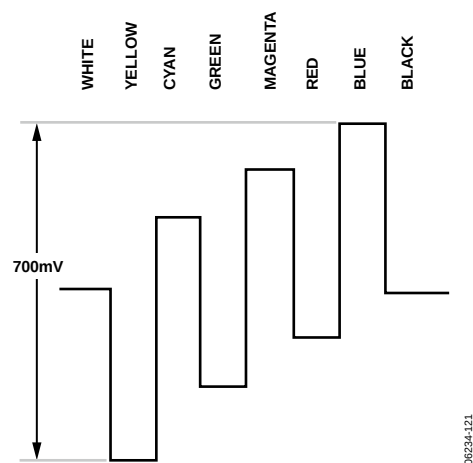


图123. Pb电平—PAL

增清/高清YPrPb输出电平

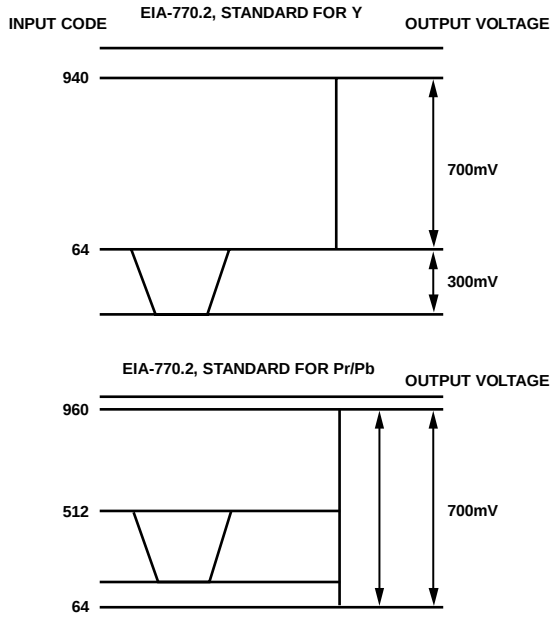


图124. EIA-770.2标准输出信号(525p/625p)

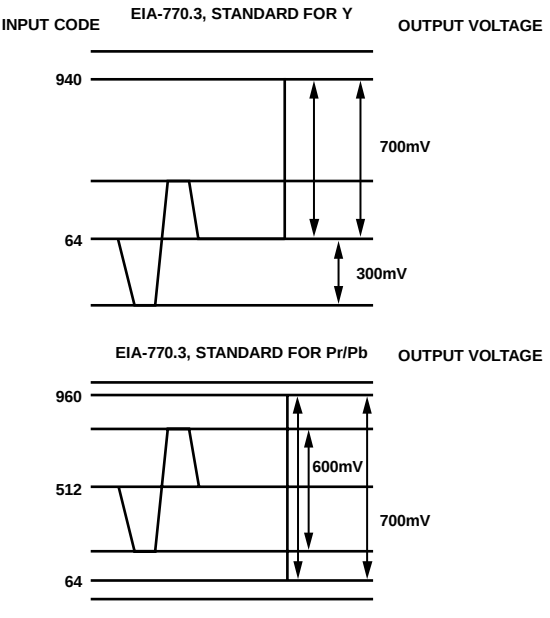


图126. EIA-770.3标准输出信号(1080i/720p)

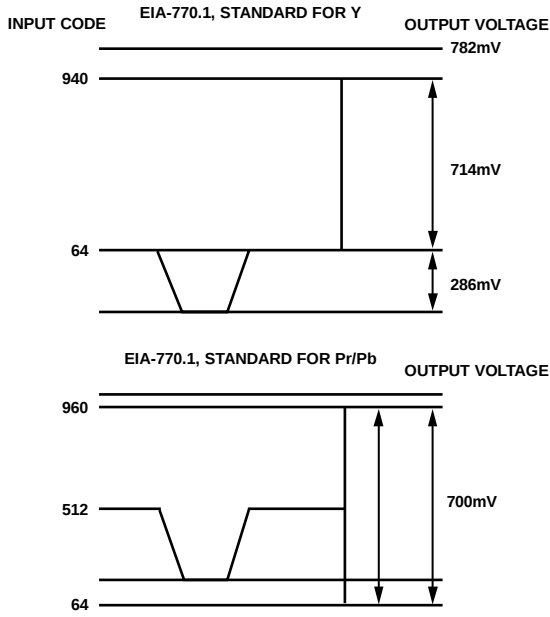


图125. EIA-770.1标准输出信号(525p/625p)

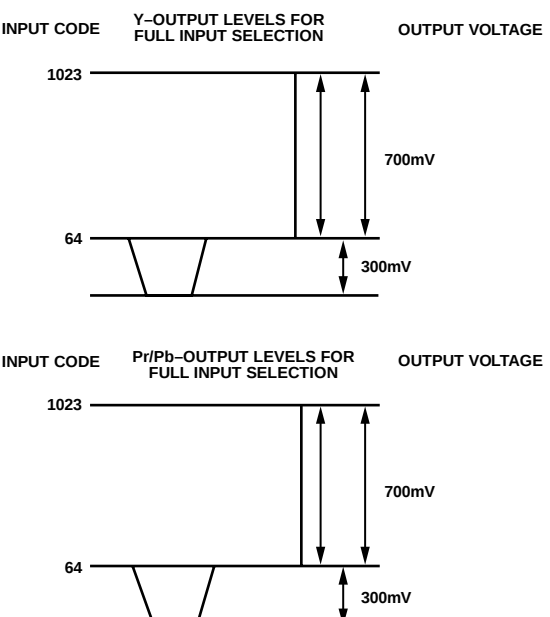


图127. 全输入选择的输出电平

ADV7390/ADV7391/ADV7392/ADV7393

标清/增清/高清RGB输出电平

图案：100%/75%彩条

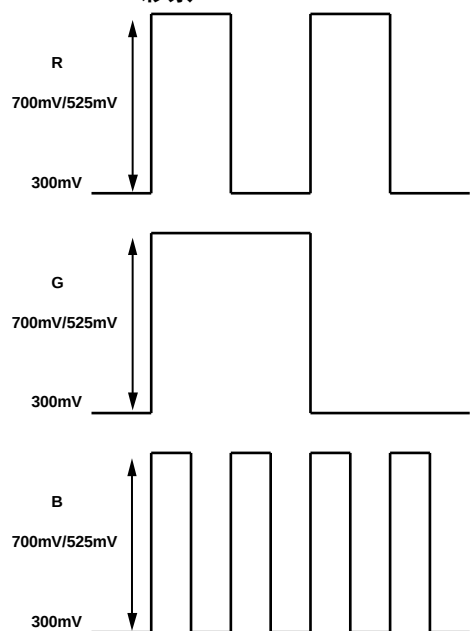


图128. 标清/增清RGB输出电平—RGB同步禁用

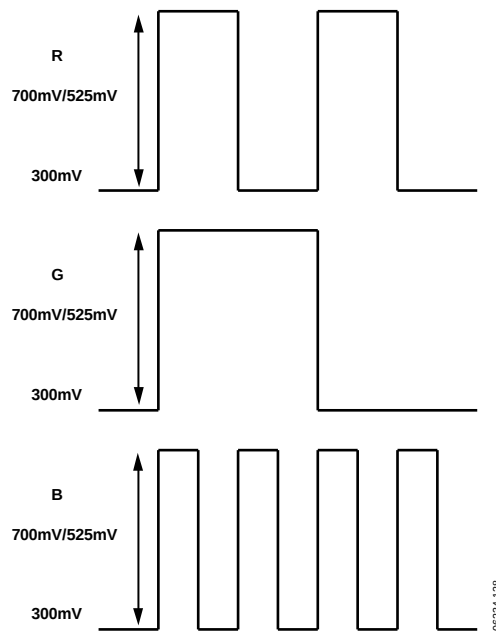


图130. 高清RGB输出电平—RGB同步禁用

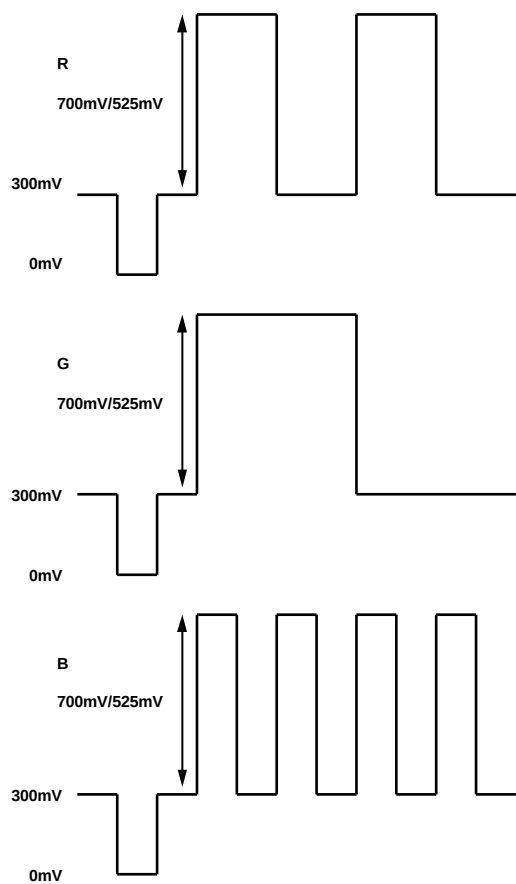


图129. 标清/增清RGB输出电平—RGB同步使能

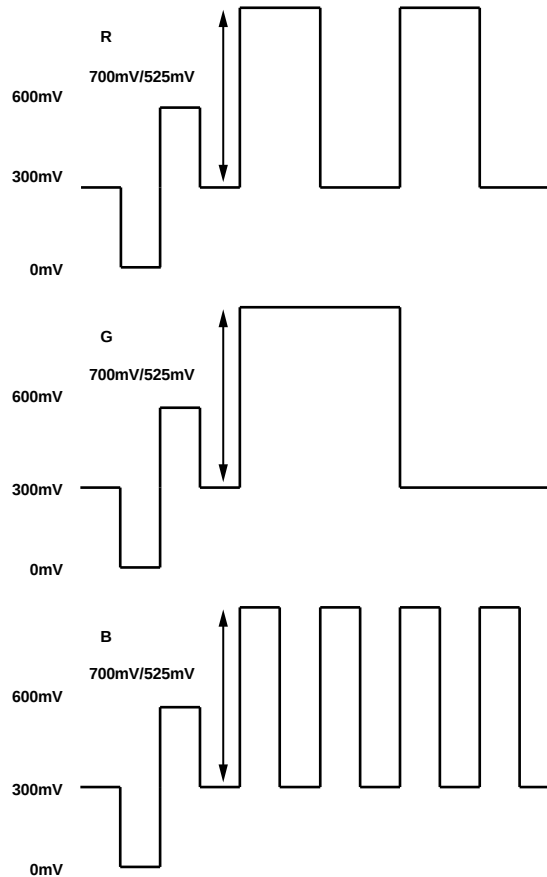


图131. 高清RGB输出电平—RGB同步使能

标清输出图

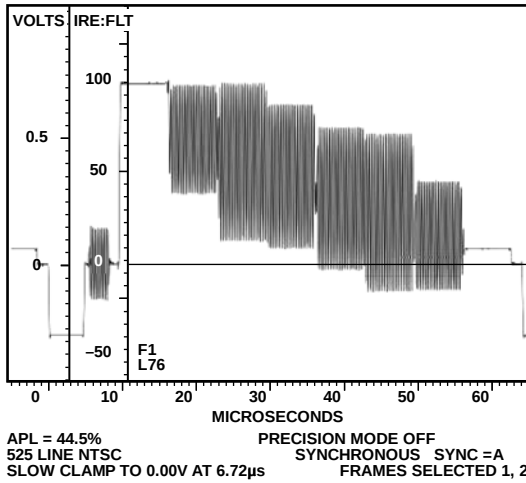


图132. NTSC彩条(75%)

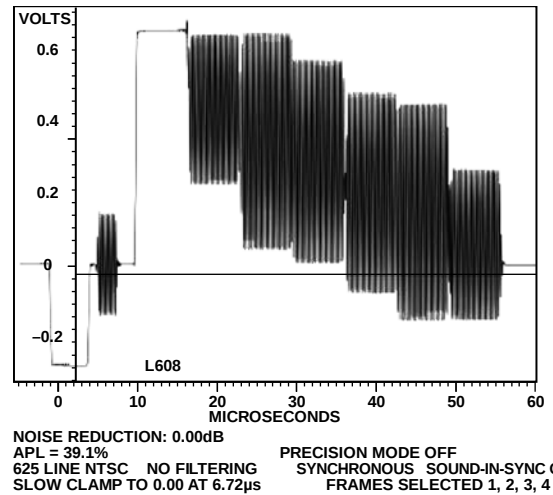


图135. PAL彩条(75%)

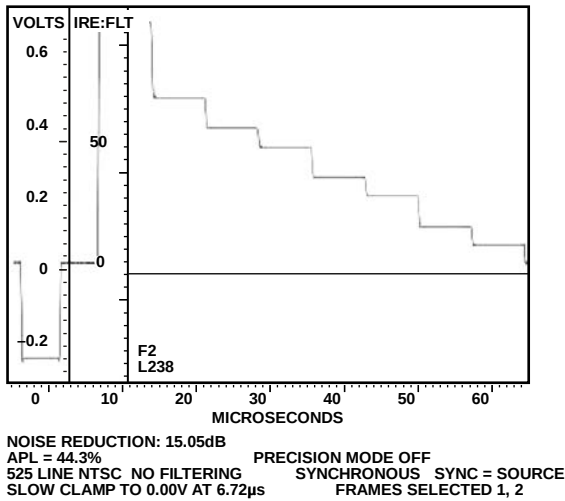


图133. NTSC亮度

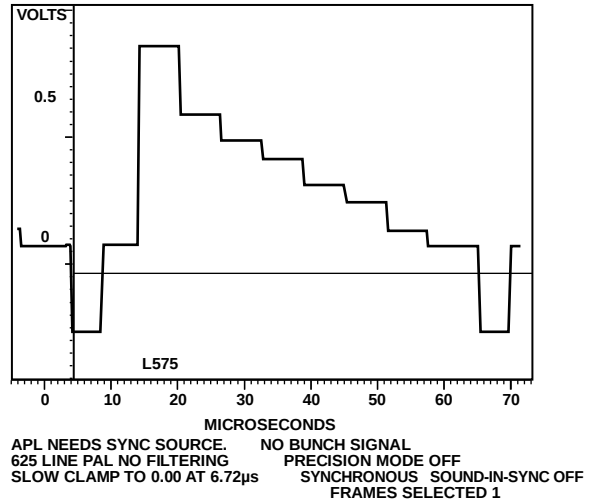


图136. PAL亮度

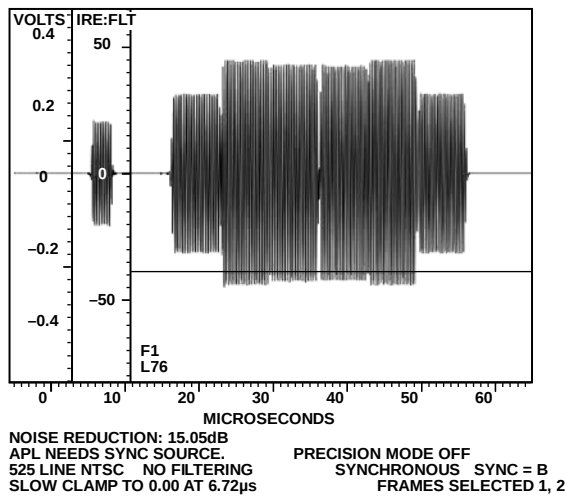


图134. NTSC色度

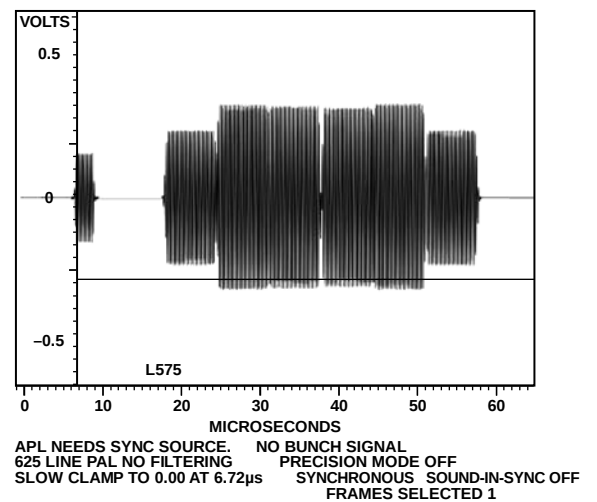


图137. PAL色度

ADV7390/ADV7391/ADV7392/ADV7393

视频标准

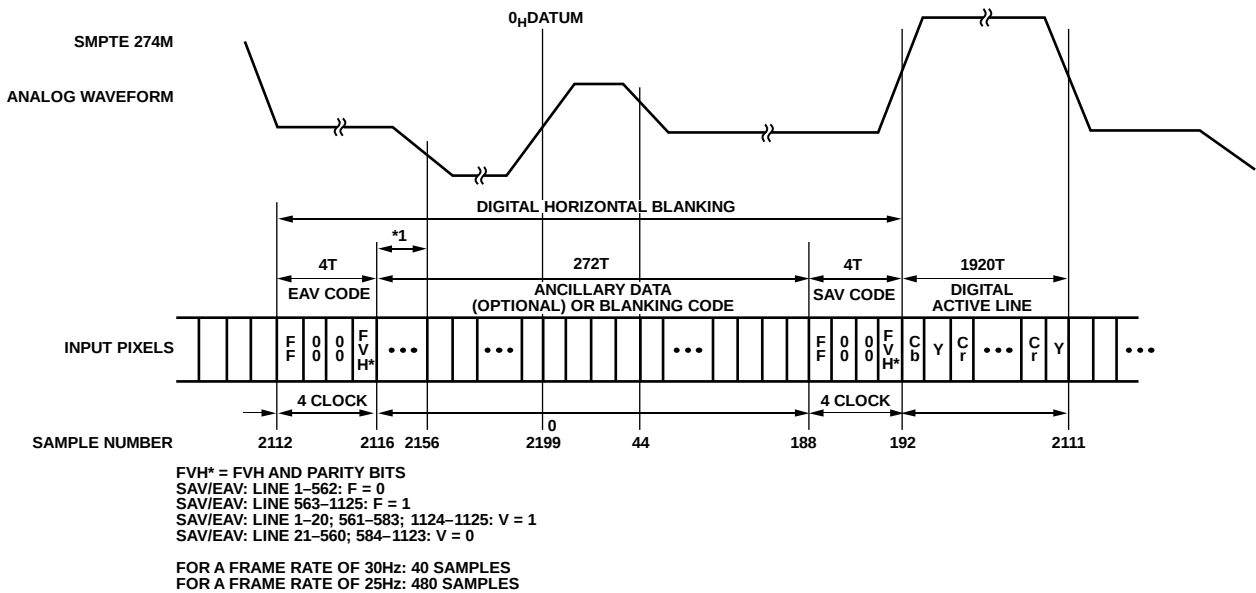


图138. EAV/SAV输入数据时序图(SMPTE 274M)

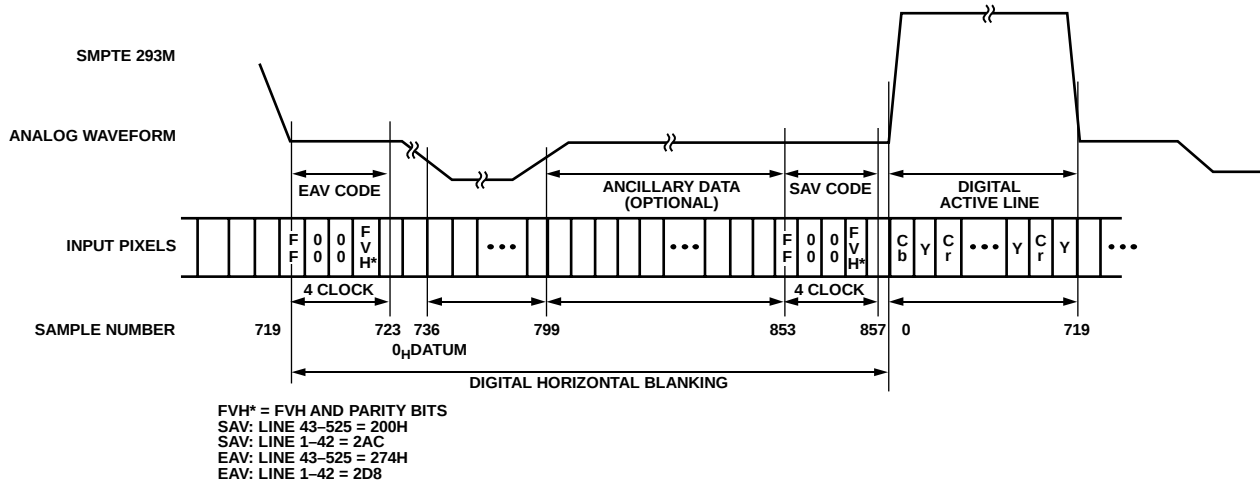


图139. EAV/SAV输入数据时序图(SMPTE 293M)

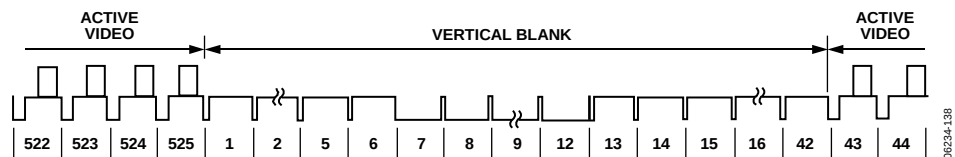


图140. SMPTE 293M (525p)

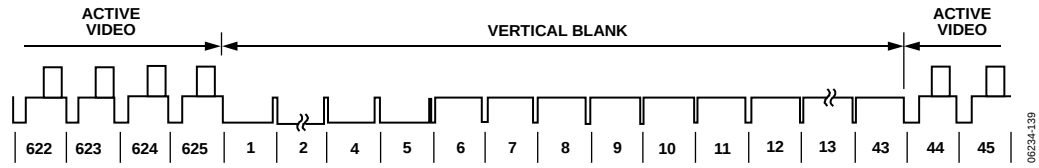


图141. ITU-R BT.1358 (625p)

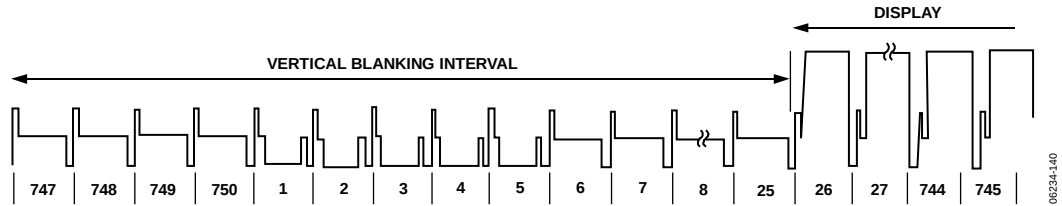


图142. SMPTE 296M (720p)

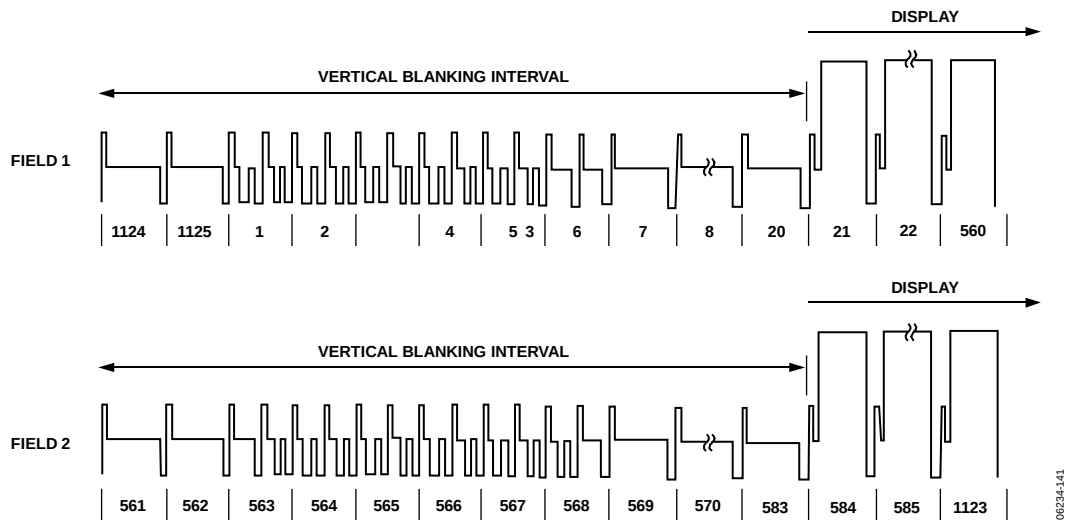


图143. SMPTE 274M (1080i)

ADV7390/ADV7391/ADV7392/ADV7393

配置脚本

下文所列的脚本可以用于配置ADV739x以实现基本操作。某些特性默认使能。如果有特定应用需要，可以使能其它特性。表63列出了可供标清工作模式使用的脚本。同样，表98和表115分别列出了可供增清和高清工作模式使用的脚本。所有脚本仅包括了必需的寄存器写入，所有其它寄存器假定使用默认值。WLCSP封装仅支持表65、表79、表82和表96中的脚本。在这些脚本中，子地址0x00必须设置为0x10。

标清

表63. 标清配置脚本

输入格式	输入数据宽度 ¹	同步格式	输入颜色空间	输出颜色空间	表格编号
525i (NTSC)	8位SDR	EAV/SAV	YCrCb	YPrPb	表64
525i (NTSC)	8位SDR	EAV/SAV	YCrCb	CVBS/Y-C(S视频)	表65
525i (NTSC)	8位SDR	HSYNC/VSYNC	YCrCb	YPrPb	表66
525i (NTSC)	8位SDR	EAV/SAV	YCrCb	RGB	表67
525i (NTSC)	8位SDR	HSYNC/VSYNC	YCrCb	RGB	表68
525i (NTSC)	10位SDR	EAV/SAV	YCrCb	YPrPb	表69
525i (NTSC)	10位SDR	HSYNC/VSYNC	YCrCb	YPrPb	表70
525i (NTSC)	10位SDR	HSYNC/VSYNC	YCrCb	CVBS/Y-C(S视频)	表71
525i (NTSC)	10位SDR	EAV/SAV	YCrCb	RGB	表72
525i (NTSC)	10位SDR	HSYNC/VSYNC	YCrCb	RGB	表73
525i (NTSC)	16位SDR	HSYNC/VSYNC	YCrCb	YPrPb	表74
525i (NTSC)	16位SDR	HSYNC/VSYNC	YCrCb	RGB	表75
525i (NTSC)	16位SDR	HSYNC/VSYNC	RGB	YPrPb	表76
525i (NTSC)	16位SDR	HSYNC/VSYNC	RGB	CVBS/Y-C(S视频)	表77
525i (NTSC)	16位SDR	HSYNC/VSYNC	RGB	RGB	表78
NTSC方形像素	8位SDR	EAV/SAV	YCrCb	CVBS/Y-C(S视频)	表79
NTSC方形像素	16位SDR	HSYNC/VSYNC	RGB	CVBS/Y-C(S视频)	表80
625i (PAL)	8位SDR	EAV/SAV	YCrCb	YPrPb	表81
625i (PAL)	8位SDR	EAV/SAV	YCrCb	CVBS/Y-C(S视频)	表82
625i (PAL)	8位SDR	HSYNC/VSYNC	YCrCb	YPrPb	表83
625i (PAL)	8位SDR	EAV/SAV	YCrCb	RGB	表84
625i (PAL)	8位SDR	HSYNC/VSYNC	YCrCb	RGB	表85
625i (PAL)	10位SDR	EAV/SAV	YCrCb	YPrPb	表86
625i (PAL)	10位SDR	HSYNC/VSYNC	YCrCb	YPrPb	表87
625i (PAL)	10位SDR	HSYNC/VSYNC	YCrCb	CVBS/Y-C(S视频)	表88
625i (PAL)	10位SDR	EAV/SAV	YCrCb	RGB	表89
625i (PAL)	10位SDR	HSYNC/VSYNC	YCrCb	RGB	表90
625i (PAL)	16位SDR	HSYNC/VSYNC	YCrCb	YPrPb	表91
625i (PAL)	16位SDR	HSYNC/VSYNC	YCrCb	RGB	表92
625i (PAL)	16位SDR	HSYNC/VSYNC	RGB	YPrPb	表93
625i (PAL)	16位SDR	HSYNC/VSYNC	RGB	CVBS/Y-C(S视频)	表94
625i (PAL)	16位SDR	HSYNC/VSYNC	RGB	RGB	表95
PAL Sq. Pixel	8位SDR	EAV/SAV	YCrCb	CVBS/Y-C(S视频)	表96
PAL Sq. Pixel	16位SDR	HSYNC/VSYNC	RGB	CVBS/Y-C(S视频)	表97

¹ SDR = 单倍数据速率

表64. 8位525i YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。

表65. 8位525i YCrCb输入(EAV/SAV)、CVBS/Y-C输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
	0x10	要求WLCSP。
0x01	0x00	标清输入模式。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xCB	像素数据有效。CVBS/Y-C(S视频) 输出。SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。

表66. 8位525i YCrCb输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

表67. 8位525i YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。RGB输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。

表68. 8位525i YCrCb输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。RGB输出。SSAF PrPb 滤波器使能。有效视频边沿控制使能。 基底使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

表69. 10位525i YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。
0x88	0x10	10位输入使能。

表70. 10位525i YCrCb输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。
0x88	0x10	10位输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

ADV7390/ADV7391/ADV7392/ADV7393

表71. 10位525i YCrCb输入、CVBS/Y-C输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xCB	像素数据有效。CVBS/Y-C(S视频) 输出。SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。
0x88	0x10	10位输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

表72. 10位525i YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。RGB输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。
0x88	0x10	10位输入使能。

表73. 10位525i YCrCb输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。RGB输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。
0x88	0x10	10位输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

表74. 16位525i YCrCb输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

表75. 16位525i YCrCb输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。RGB输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

表76. 16位525i RGB输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。
0x87	0x80	RGB输入使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

表77. 16位525i RGB输入、CVBS/Y-C输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xCB	像素数据有效。CVBS/Y-C(S视频)输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。
0x87	0x80	RGB输入使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

表78. 16位525i RGB输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。RGB输出同步使能。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC9	像素数据有效。RGB输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。
0x87	0x80	RGB输入使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

表79. 8位NTSC方形像素YCrCb输入(EAV/SAV)、CVBS/Y-C输出

子地址	设置	描述
0x17	0x02	软件复位
0x00	0x1C	所有DAC使能。PLL使能(16×)。
	0x10	要求WLCSP。
0x01	0x00	标清输入模式。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xDB	像素数据有效。CVBS/Y-C(S视频)输出。 SSAF PrPb滤波器使能。有效视频边沿 控制使能。基底使能。方形像素模式使能。
0x8C	0x55	NTSC方形像素模式(24.5454 MHz 输入时钟)下CVBS和/或S视频 (Y-C)输出的副载波频率寄存器值。
0x8D	0x55	
0x8E	0x55	
0x8F	0x25	

表80. 16位NTSC方形像素RGB输入、CVBS/Y-C输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x10	NTSC标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xDB	像素数据有效。CVBS/Y-C(S视频)输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。基底使能。 方形像素模式使能。
0x87	0x80	RGB输入使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC同步。
0x8C	0x55	NTSC方形像素模式(24.5454 MHz输入 时钟)下CVBS和/或S视频(Y-C)输出 的副载波频率寄存器值。
0x8D	0x55	
0x8E	0x55	
0x8F	0x25	

表81. 8位625i YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。

表82. 8位625i YCrCb输入(EAV/SAV)、CVBS/Y-C输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
	0x10	要求WLCSP。
0x01	0x00	标清输入模式。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC3	像素数据有效。CVBS/Y-C(S视频)输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x8C	0xCB	PAL模式(27 MHz输入时钟)下CVBS 和/或S视频(Y-C)输出的副载波频率 寄存器值。
0x8D	0x8A	
0x8E	0x09	
0x8F	0x2A	

ADV7390/ADV7391/ADV7392/ADV7393

表83. 8位625i YCrCb输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

表84. 8位625i YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。RGB输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。

表85. 8位625i YCrCb输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。RGB输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC 同步。

表86. 10位625i YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x88	0x10	10位输入使能。

表87. 10位625i YCrCb输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x88	0x10	10位输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC同步。

表88. 10位625i YCrCb输入、CVBS/Y-C输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC3	像素数据有效。CVBS/Y-C(S视频)输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x88	0x10	10位输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC同步。
0x8C	0xCB	PAL模式(27 MHz输入时钟)下CVBS和/或 S视频(Y-C)输出的副载波频率寄存器值。
0x8D	0x8A	
0x8E	0x09	
0x8F	0x2A	

表89. 10位625i YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。RGB输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x88	0x10	10位输入使能。

ADV7390/ADV7391/ADV7392/ADV7393

表90. 10位625i YCrCb输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。RGB输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x88	0x10	10位输入使能。
0x8A	0x0C	时序模式2（从机）。 HSYNC/VSYNC同步。

表91. 16位625i YCrCb输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC同步。

表92. 16位625i YCrCb输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC同步。

表93. 16位625i RGB输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x87	0x80	RGB输入使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2（从机）。 HSYNC/VSYNC同步。

表94. 16位625i RGB输入、CVBS/Y-C输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC3	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x87	0x80	RGB输入使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2（从机）。 HSYNC/VSYNC同步。
0x8C	0xCB	PAL模式（27 MHz输入时钟）下CVBS 和/或S视频(Y-C)输出的副载波频率 寄存器值。
0x8D	0x8A	
0x8E	0x09	
0x8F	0x2A	

表95. 16位625i RGB输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xC1	像素数据有效。YPrPb输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。
0x87	0x80	RGB输入使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSYNC同步。

ADV7390/ADV7391/ADV7392/ADV7393

表96. 8位PAL方形像素YCrCb输入(EAV/SAV)、CVBS/Y-C输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
	0x10	要求WLCSP。
0x01	0x00	标清输入模式。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xD3	像素数据有效。CVBS/Y-C(S视频)输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。 方形像素模式使能。
0x8C	0x0C	PAL方形像素模式(29.5 MHz输入时钟) 下CVBS和/或S视频(Y-C)输出的副载波 频率寄存器值。
0x8D	0x8C	
0x8E	0x79	
0x8F	0x26	

表97. 16位PAL方形像素RGB输入、CVBS/Y-C输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(16×)。
0x01	0x00	标清输入模式。
0x80	0x11	PAL标准。SSAF亮度滤波器使能。 1.3 MHz色度滤波器使能。
0x82	0xD3	像素数据有效。CVBS/Y-C(S视频)输出。 SSAF PrPb滤波器使能。 有效视频边沿控制使能。 方形像素模式使能。
0x87	0x80	RGB输入使能。
0x88	0x10	16位RGB输入使能。
0x8A	0x0C	时序模式2(从机)。 HSYNC/VSNC 同步。
0x8C	0x0C	PAL方形像素模式(29.5 MHz输入时钟) 下CVBS和/或S视频(Y-C)输出的副载波 频率寄存器值。
0x8D	0x8C	
0x8E	0x79	
0x8F	0x26	

增清

表98. 增清配置脚本

输入格式	输入数据宽度	同步格式	输入颜色空间	输出颜色空间	表格编号
525p	8位DDR	EAV/SAV	YCrCb	YPrPb	表107
525p	8位DDR	EAV/SAV	YCrCb	RGB	表109
525p	10位DDR	EAV/SAV	YCrCb	YPrPb	表108
525p	10位DDR	EAV/SAV	YCrCb	RGB	表110
525p	16位SDR	EAV/SAV	YCrCb	YPrPb	表99
525p	16位SDR	HSYNC/VSYNC	YCrCb	YPrPb	表100
525p	16位SDR	EAV/SAV	YCrCb	RGB	表101
525p	16位SDR	HSYNC/VSYNC	YCrCb	RGB	表102
625p	8位DDR	EAV/SAV	YCrCb	YPrPb	表111
625p	8位DDR	EAV/SAV	YCrCb	RGB	表113
625p	10位DDR	EAV/SAV	YCrCb	YPrPb	表112
625p	10位DDR	EAV/SAV	YCrCb	RGB	表114
625p	16位SDR	EAV/SAV	YCrCb	YPrPb	表103
625p	16位SDR	HSYNC/VSYNC	YCrCb	YPrPb	表104
625p	16位SDR	EAV/SAV	YCrCb	RGB	表105
625p	16位SDR	HSYNC/VSYNC	YCrCb	RGB	表106

表99. 16位525p YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x10	增清SDR输入模式。
0x30	0x04	525p、59.94 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

表100. 16位525p YCrCb输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x10	增清SDR输入模式。
0x30	0x00	525p、59.94 Hz。HSYNC/VSYNC 同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

表101. 16位525p YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x10	增清SDR输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x04	525p、59.94 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

表102. 16位525p YCrCb输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x10	增清SDR输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x00	525p、59.94 Hz。HSYNC/VSYNC 同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

表103. 16位625p YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x10	增清SDR输入模式。
0x30	0x1C	625p、50 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

像素数据有效。

表104. 16位625p YCrCb输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x10	增清SDR输入模式。
0x30	0x18	625p、50 Hz。HSYNC/VSYNC 同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

ADV7390/ADV7391/ADV7392/ADV7393

表105. 16位625p YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x10	增清SDR输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x1C	625p、50 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

表106. 16位625p YCrCb输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x10	增清SDR输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x18	625p、50 Hz。HSYNC/VSYNC 同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

表107. 8位525p YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x20	增清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x30	0x04	525p、59.94 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

表108. 10位525p YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x20	增清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x30	0x04	525p、59.94 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。
0x33	0x6C	10位输入使能。

表109. 8位525p YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x20	增清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x04	525p、59.94 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

表110. 10位525p YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x20	增清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x04	525p、59.94 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。
0x33	0x6C	10位输入使能。

表111. 8位625p YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x20	增清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x30	0x1C	625p、50 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

表112. 10位625p YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x20	增清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x30	0x1C	625p、50 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。
0x33	0x6C	10位输入使能。

ADV7390/ADV7391/ADV7392/ADV7393

表113. 8位625p YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x20	增清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x1C	625p、50 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。

表114. 10位625p YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(8×)。
0x01	0x20	增清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x1C	625p、50 Hz。EAV/SAV同步。 EIA-770.2输出电平。
0x31	0x01	像素数据有效。
0x33	0x6C	10位输入使能。

高清

表115. 高清配置脚本

输入格式	输入数据宽度	同步格式	输入颜色空间	输出颜色空间	表格编号
720p	8位DDR	EAV/SAV	YCrCb	YPrPb	表124
720p	8位DDR	EAV/SAV	YCrCb	RGB	表126
720p	10位DDR	EAV/SAV	YCrCb	YPrPb	表125
720p	10位DDR	EAV/SAV	YCrCb	RGB	表127
720p	16位SDR	EAV/SAV	YCrCb	YPrPb	表116
720p	16位SDR	<u>HSYNC/VSYNC</u>	YCrCb	YPrPb	表117
720p	16位SDR	EAV/SAV	YCrCb	RGB	表118
720p	16位SDR	<u>HSYNC/VSYNC</u>	YCrCb	RGB	表119
1080i	8位DDR	EAV/SAV	YCrCb	YPrPb	表128
1080i	8位DDR	EAV/SAV	YCrCb	RGB	表130
1080i	10位DDR	EAV/SAV	YCrCb	YPrPb	表129
1080i	10位DDR	EAV/SAV	YCrCb	RGB	表131
1080i	16位SDR	EAV/SAV	YCrCb	YPrPb	表120
1080i	16位SDR	<u>HSYNC/VSYNC</u>	YCrCb	YPrPb	表121
1080i	16位SDR	EAV/SAV	YCrCb	RGB	表122
1080i	16位SDR	<u>HSYNC/VSYNC</u>	YCrCb	RGB	表123

ADV7390/ADV7391/ADV7392/ADV7393

表116. 16位720p YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4x)。
0x01	0x10	高清SDR输入模式。
0x30	0x2C	720p、60 Hz/59.94 Hz。 EAV/SAV同步。EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表117. 16位720p YCrCb输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4x)。
0x01	0x10	高清SDR输入模式。
0x30	0x28	720p、60 Hz/59.94 Hz。H _{SYNC} /V _{SYNC} 同步。EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表118. 16位720p YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4x)。
0x01	0x10	高清SDR输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x2C	720p、60 Hz/59.94 Hz。EAV/SAV同步。 EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表119. 16位720p YCrCb输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4x)。
0x01	0x10	高清SDR输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x28	720p、60 Hz/59.94 Hz。H _{SYNC} /V _{SYNC} 同步。EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表120. 16位1080i YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4x)。
0x01	0x10	高清SDR输入模式。
0x30	0x6C	1080i、30 Hz/29.97 Hz。 EAV/SAV同步。EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表121. 16位1080i YCrCb输入、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4x)。
0x01	0x10	高清SDR输入模式。
0x30	0x18	1080i、30 Hz/29.97 Hz。H _{SYNC} /V _{SYNC} 同步。EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表122. 16位1080i YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4x)。
0x01	0x10	高清SDR输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x6C	1080i、30 Hz/29.97 Hz。EAV/SAV同步。 EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表123. 16位1080i YCrCb输入、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4x)。
0x01	0x10	高清SDR输入模式。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x18	1080i、30 Hz/29.97 Hz。H _{SYNC} /V _{SYNC} 同步。EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表124. 8位720p YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4x)。
0x01	0x20	高清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x30	0x2C	720p、60 Hz/59.94 Hz。EAV/SAV同步。 EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表125. 10位720p YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4x)。
0x01	0x20	高清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x30	0x2C	720p、60 Hz/59.94 Hz。EAV/SAV同步。 EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。
0x33	0x6C	10位输入使能。

ADV7390/ADV7391/ADV7392/ADV7393

表126. 8位720p YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4×)。
0x01	0x20	高清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x2C	720p、60 Hz/59.94 Hz。EAV/SAV同步。 EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表127. 10位720p YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4×)。
0x01	0x20	高清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x2C	720p、60 Hz/59.94 Hz。EAV/SAV同步。 EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。
0x33	0x6C	10位输入使能。

表128. 8位1080i YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4×)。
0x01	0x20	高清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x30	0x6C	1080i、30 Hz/29.97 Hz。EAV/SAV同步。 EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表129. 10位1080i YCrCb输入(EAV/SAV)、YPrPb输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4×)。
0x01	0x20	高清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x30	0x6C	1080i、30 Hz/29.97 Hz。EAV/SAV同步。 EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。
0x33	0x6C	10位输入使能。

表130. 8位1080i YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4×)。
0x01	0x20	高清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x6C	1080i、30 Hz/29.97 Hz。EAV/SAV同步。 EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。

表131. 10位1080i YCrCb输入(EAV/SAV)、RGB输出

子地址	设置	描述
0x17	0x02	软件复位。
0x00	0x1C	所有DAC使能。PLL使能(4×)。
0x01	0x20	高清DDR输入模式。 亮度数据在CLKIN下降沿输入。
0x02	0x10	RGB输出使能。 RGB输出同步使能。
0x30	0x6C	1080i、30 Hz/29.97 Hz。EAV/SAV同步。 EIA-770.3输出电平。
0x31	0x01	像素数据有效。4x过采样。
0x33	0x6C	10位输入使能。

ADV7390/ADV7391/ADV7392/ADV7393

ADV739X评估板

为便于对ADV7390/ADV7391/ADV7392/ADV7393进行评估，ADI公司提供一款双板解决方案。ADV739x评估平台的前端板包含ADI解码器(ADV7403)和FPGA，后端板(ADV739x所在的板)通过一个连接器与前端板相连。

利用这两个板，用户可以对器件执行全面的评估，但用户也可以仅订购后端板。注意，这两个板需要单独订购。

有关评估板的更多信息，请参考ADI公司产品网页上提供的评估板文档。

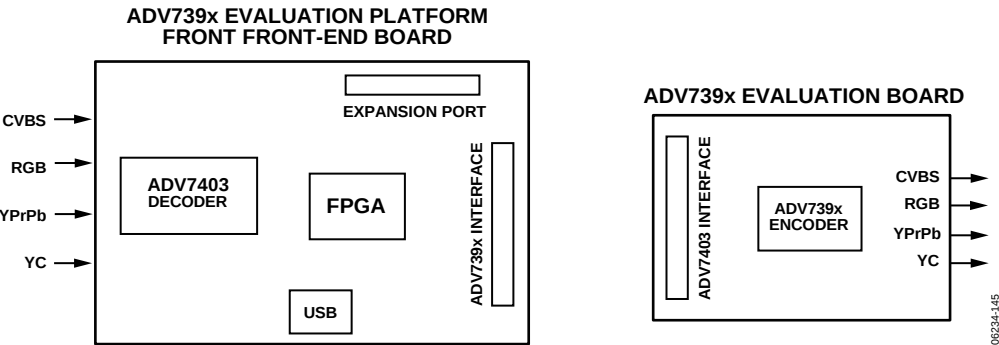


图144. ADV739x前端和后端评估板



尺寸单位: mm



尺寸单位: mm

ADV7390/ADV7391/ADV7392/ADV7393

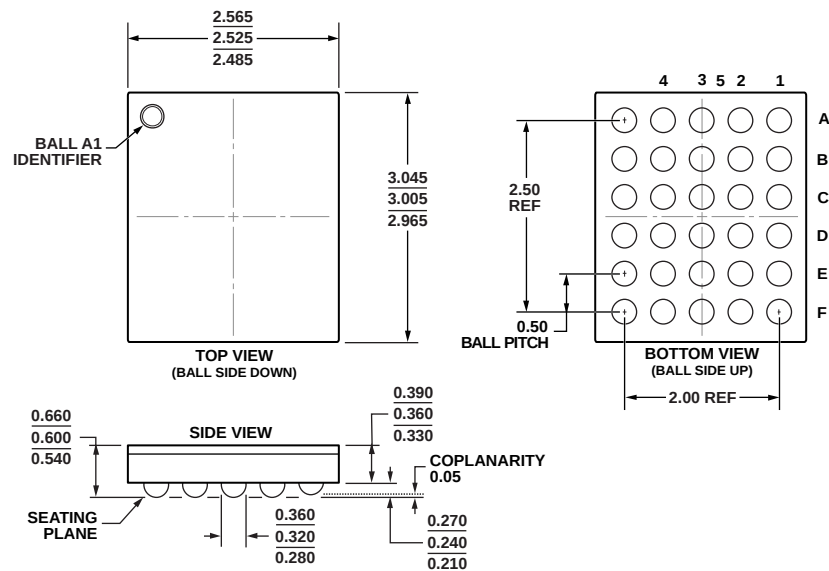


图147. 30引脚WLCSP封装(CB-30-3), 尺寸单位: mm

06-29-2010-C

ADV7390/ADV7391/ADV7392/ADV7393

订购指南

型号 ^{1,2}	温度范围	Macrovision ³ 防复制	封装描述	封装选项
ADV7390BCPZ	–40°C至+85°C	是	32引脚引脚架构芯片级封装[LFCSP_VQ]	CP-32-2
ADV7390BCPZ-REEL	–40°C至+85°C	是	32引脚引脚架构芯片级封装[LFCSP_VQ]	CP-32-2
ADV7390WBCPZ	–40°C至+105°C	是	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-13
ADV7390WBCPZ-RL	–40°C至+105°C	是	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-13
ADV7390BCBZ-A-RL	–40°C至+85°C	是	30引脚晶圆级芯片规模封装[WLCSP]	CB-30-3
ADV7391BCPZ	–40°C至+85°C	否	32引脚引脚架构芯片级封装[LFCSP_VQ]	CP-32-2
ADV7391BCPZ-REEL	–40°C至+85°C	否	32引脚引脚架构芯片级封装[LFCSP_VQ]	CP-32-2
ADV7391WBCPZ	–40°C至+105°C	否	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-13
ADV7391WBCPZ-RL	–40°C至+105°C	否	32引脚引线框芯片级封装[LFCSP_WQ]	CP-32-13
ADV7391BCBZ-A-RL	–40°C至+85°C	否	30引脚晶圆级芯片规模封装[WLCSP]	CB-30-3
ADV7392BCPZ	–40°C至+85°C	是	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-1
ADV7392BCPZ-REEL	–40°C至+85°C	是	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-1
ADV7392BCPZ-3REEL	–40°C至+85°C	是	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-1
ADV7392WBCPZ	–40°C至+105°C	是	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-1
ADV7392WBCPZ-REEL	–40°C至+105°C	是	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-1
ADV7393BCPZ	–40°C至+85°C	否	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-1
ADV7393BCPZ-REEL	–40°C至+85°C	否	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-1
ADV7393WBCPZ	–40°C至+105°C	否	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-1
ADV7393WBCPZ-REEL	–40°C至+105°C	否	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-1
EVAL-ADV739xFEZ		不适用	ADV739x评估平台前端板	
EVAL-ADV7390EBZ		是	ADV7390评估板	
EVAL-ADV7390-AEBZ		是	ADV7390BCBZ-A_RL评估板	
EVAL-ADV7391EBZ		否	ADV7391评估板	
EVAL-ADV7392EBZ		是	ADV7392评估板	
EVAL-ADV7393EBZ		否	ADV7393评估板	

¹ Z = 符合RoHS标准的器件。

² W = 通过汽车应用认证。

³ 若要购买支持Macrovision的IC，用户须获得使用许可，有权使用能输出Macrovision 7.1.L1版兼容视频的IC(即成为授权购买人)。

汽车应用级产品

ADV7390W、ADV7391W、ADV7392W和ADV7393W生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的“技术规格”部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的“汽车可靠性”报告，请联系当地ADI客户代表。

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。